

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 6

H01L 21 /76

(11) 공개번호

특2000-0052287

(43) 공개일자

2000년08월16일

(21) 출원번호 10-1999-0019023

(22) 출원일자 1999년05월26일

(30) 우선권주장 1019990000391 1999년01월11일 대한민국(KR)

(71) 출원인 삼성전자 주식회사

(72) 발명자 경기도 수원시 팔달구 매탄3동 416

김성의

경기도수원시팔달구우만2동105번지선경아파트102동1713호

이금추

인천광역시남동구구월3동1378-6

황인석

경기도수원시팔달구영통동황골마을벽산아파트223동901호

고용선

경기도용인시기흥읍농서리산24번지

안동호

경기도수원시팔달구망포동517-9삼일빌라5동203호

박문한

경기도용인시기흥읍공세리382-1청구아파트105동1603호

박태서

경기도수원시팔달구영통동989-2현대아파트730동1303호

(74) 대리인 이영필, 권석흠, 정상빈

심사청구 : 있음

(54) 파임방지막을 이용하는 반도체소자의 트렌치 소자분리방법 및 이를 이용한 반도체소자

요약

트렌치 소자분리 공정에서 질화막으로 이루어진 라이너층을 사용하면서도 덴트(Dent)의 발생을 억제할 수 있는 반도체 소자의 트렌치 소자분리 방법 및 이를 이용한 반도체 소자에 관해 개시한다. 이를 위해 본 발명은 질화막으로 이루어진 라이너층을 형성하기 전에 산화막으로 된 파임방지막을 추가로 형성하거나, 산화막과 질화막의 복합막으로 된 복합 라이너

층을 구성하여 질화막으로 된 마스크 패턴을 제거할 때에 라이너층에서 발생하는 덴트(Dent)의 발생을 억제한다. 상기 파임방지용 산화막이 단일막인 경우에는 화학기상증착에 의한 산화막을 증착하여 사용하거나, 실리콘막을 증착한 후 이를 열산화시킨 산화막을 사용한다. 또한, 상기 파임방지막이 복합 라이너층인 경우에는 질화막과 산화막 혹은 산화막과 질화막이 적어도 1회이상 순차적으로 적층된 구조의 복합막을 사용한다.

대표도

도5

명세서

& 도면의 간단한 설명

도 1은 트렌치 소자분리 공정에서 피트(Pit)가 있을 때와, 라이너층(liner later)을 이용하여 피트(Pit)를 방지하였을 때의 반도체 소자의 전기적 특성 변화를 설명하기 위해 도시한 그래프이다.

도 2 내지 도 4는 종래 기술에 의한 라이너층을 이용하는 트렌치 소자분리 공정을 설명하기 위해 도시한 단면도들이다.

도 5는 본 발명의 실험예를 설명하기 위해 도시한 투과전자 현미경(Transmission Electron Microscope, 이하 'TEM') 사진이다.

도 6 내지 도 10은 본 발명의 제1 실시예에 의한 파임방지막을 이용한 트렌치 소자분리 방법을 설명하기 위해 도시한 단면도들이다.

도 11 내지 도 17은 본 발명의 제2 실시예에 의한 파임방지막을 이용한 트렌치 소자분리 방법을 설명하기 위해 도시한 단면도들이다.

도 18 내지 도 21은 본 발명의 제3 실시예에 의한 파임방지막을 이용한 트렌치 소자분리 방법 및 이를 이용한 반도체 소자를 설명하기 위해 도시한 단면도들이다.

도 22 내지 도 24는 본 발명의 제4 실시예에 의한 파임방지막을 이용한 트렌치 소자분리 방법 및 이를 이용한 반도체 소자를 설명하기 위해 도시한 단면도들이다.

도 25 내지 도 29는 본 발명에 따라서 반도체 소자를 제조하였을 때, 반도체 소자의 전기적인 특성에 대한 개선 정도를 설명하기 위해 도시한 그래프이다.

* 도면의 주요부분에 대한 부호의 설명 *

- | | |
|-----------------|-------------|
| 100: 반도체 기판, | 102: 패드산화막, |
| 104: 마스크 패턴, | 106: 트렌치, |
| 108: 트렌치 내부산화막, | 110: 파임방지막, |

112: 라이너층, 114: 소자분리용 절연막,
208: 실리콘막, 318/418: 복합 라이너층.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 트렌치 소자분리 공정에 관한 것이다.

반도체 소자의 고집적화에 따른 미세화 기술중에 하나인 소자분리 공정(isolation process)은 반도체 소자의 초기 가공공정으로서 후속공정에서 활성영역의 크기 및 공정마진을 좌우하게 된다. 일반적인 소자분리 기술로는 크게 로코스(LOCOS) 소자분리 기술과 트렌치(Trench) 소자분리 기술이 있다. 여기서 트렌치 소자분리 기술은 기존의 로코스(LOCOS) 소자분리 기술에서의 문제점인 버즈빅(Bird's beak)에 의해 활성영역이 감소되는 문제를 해결함으로써 최근 고집적화된 반도체 소자의 소자분리 공정에 주로 사용되는 기술이다.

이러한 트렌치 소자분리 기술은 질화막(SiN)을 마스크 패턴으로 사용하여 소자분리막이 형성될 영역의 반도체 기판을 식각하여 트렌치를 형성하고, 화학기상증착(CVD: Chemical Vapor Deposition)에 의한 산화막을 상기 트렌치를 채우도록 증착한 후, 화학기계적 평탄화(CMP: Chemical Mechanical Polishing)를 수행함으로써 소자간의 격리(isolation)를 완성하는 방법이다. 그러나 이러한 트렌치 소자분리 기술은 소자분리 공정을 완성한 후에 활성영역과 소자분리막의 경계면에서 피트(Pit)가 발생하는 문제점이 있다. 피트(Pit)의 주요 발생요인은 원부자재에 의한 요인, 이온주입에 의해 야기되는 요인, 트렌치를 매립하는 막질의 조밀화 정도 및 후속 산화공정 등의 여러 요인이 있으나, 트렌치 소자 분리후의 산화공정이 피트(pit) 발생에 가장 많은 영향을 미친다. 이를 좀더 상세히 설명하면, 트렌치 소자분리 공정이 끝난 후의 산화공정은 트렌치 내벽에 존재하던 반도체 기판의 실리콘을 산화시키고, 산화가 진행되면서 발생하는 실리콘의 부피 팽창은 트렌치(trench) 측벽에 대한 물리적 또는 열적인 스트레스(stress)로 작용하여 피트(pit)가 발생하게 된다.

최근들어 산화과정에서 발생하는 스트레스를 억제하기 위해 트렌치 식각후, 트렌치 내벽에 열산화막을 형성하고 질화막(SiN)으로 된 라이너층(liner layer)을 증착하는 기술이 소개되고 있다.

도 1은 트렌치 소자분리 공정에서 피트(Pit)가 있을 때와, 라이너층(liner later)을 이용하여 피트(Pit)를 방지하였을 때의 반도체 소자의 전기적 특성 변화를 설명하기 위해 도시한 그래프이다.

도 1을 참조하면, X축은 시료의 분포도(Distribution)를 나타내고, Y축은 이에 따른 드레인 오프 전류(Id-off current) 특성을 각각 나타낸다. 여기서 드레인 오프 전류는 게이트와 소오스, 실리콘 기판을 그라운드 상태로 만들고 드레인만 3.3V의 전압을 인가하여 측정한다. 그래프에서 -O-으로 연결된 선은 질화막으로 된 라이너층을 형성한 경우의 드레인 오프 전류(drain off current)이고, -□-로 연결된 선은 라이너층을 구성하지 않고 트렌치 소자분리 공정을 진행한 경우의 드레인 오프 전류(drain off current)이다. 그래프에서 보면, 질화막으로 된 라이너층을 구성한 경우가 드레인 오프 전류(Id-off current)가 더 낮는데, 이는 질화막 라이너가 소자 분리공정 후에 열적 스트레스를 효과적으로 억제하였기 때문이다.

이렇게 질화막으로 된 라이너층(liner layer)을 형성하여 트렌치 소자분리를 진행하는 기술이 미합중국 특허 제 5,447,884호(Title: Shallow Trench Isolation with thin nitride liner, Date: Sep. 5, 1995)로 IBM사에 의해 등록된 바 있다.

도 2 내지 도 4는 상기 종래 기술에 의한 라이너층을 이용한 트렌치 소자분리 공정을 설명하기 위해 도시한 단면도들이다.

도 2를 참조하면, 반도체 기판(51)에 패드산화막(53) 및 질화막(SiN)으로 이루어진 마스크 패턴(55)을 형성하고, 상기 마스크 패턴(55)을 이용하여 반도체 기판(51)의 일부를 식각하여 트렌치(trench)를 형성한다. 이어서, 열산화(thermal oxidation) 공정을 진행하여 트렌치 내부산화막(56)을 형성하고, 후속되는 산화공정에서 산화가 일어날 때, 발생하는 물리적 또는 열적 스트레스를 억제하기 위해 질화막으로 된 라이너층(57)을 형성한다. 마지막으로 CVD에 의한 산화막(59)을 반도체 기판의 표면을 충분히 덮을 수 있는 정도로 두껍게 증착한다. 그 후, 상기 마스크 패턴(55)을 연마저지층으로 활용하여 CMP를 진행하여 반도체 기판의 전면을 평탄화한다.

도 3을 참조하면, 상기 평탄화가 완료된 반도체 기판의 전면에 인산(HPO_4)을 이용한 등방성 습식식각(wet etch)을 진행하여 마스크 패턴으로 사용된 질화막(SiN)을 모두 제거한다. 이때, 마스크 패턴으로 사용된 질화막이 반도체 기판의 전면에 잔류하는 것을 방지하기 위해 약간의 과도식각(over etching)을 하게 되는데, 이 과정에서 질화막으로 된 라이너층(57) 역시 식각되어 일부가 제거된다. 이러한 문제는 식각을 이방성으로 진행하여도 마찬가지로 발생하게 된다.

도 4는 상기 습식식각이 진행된 결과물에 에치백(etchback) 공정을 진행하여 반도체 기판(51)의 윗부분에 존재하던 패드산화막(53) 및 CVD에 의한 산화막(59')을 제거하여 반도체 기판을 평탄화 함으로써 트렌치 소자분리 공정을 완료한다.

그러나, 상기 질화막으로 된 마스크 패턴(55)을 제거하면서 함께 식각된 라이너층(57')의 움푹 꺼진 부분(Dent, 도 4의 A)은 트렌치 소자분리 공정을 진행한 후에도 남게된다. 이렇게 활성영역과 소자분리막의 경계면이 움푹 파이는 덴트(A) 현상은 디램(DRAM: Dynamic Random Access Memory)과 같은 메모리 소자의 리프레쉬(refresh) 특성을 저하시키고, 후속공정에서 폴리실리콘으로 이루어진 게이트 전극을 식각할 때, 덴트(Dent) 사이에 도전물질인 폴리실리콘이 잔류함으로써 게이트 브릿지(gate bridge)와 같은 결함으로 야기한다. 그 외에도 완성된 트랜지스터의 전기적인 특성곡선이 선형적으로 나타나지 못하는 험프(hump) 현상 및 문턱전압이 떨어지는 원인이 되는 인버스 네로우 위드 현상(Inverse Narrow Width Effect)을 심화시키는 결과를 초래한다.

발명이 이루고자하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 물리적 또는 열적 스트레스를 억제하기 위한 라이너층(liner layer)을 사용하면서, 덴트(Dent)가 발생하지 않도록 파임방지막을 추가로 구성하여 트렌치 소자분리 공정에서 덴트 발생을 억제할 수 있는 반도체 소자의 트렌치소자 분리방법을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기 트렌치 소자분리 방법을 이용한 반도체 소자를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 의한 반도체 소자의 트렌치소자 분리방법은, 반도체 기판에 트렌치 식각용 마스크 패턴을 형성하고, 상기 트렌치 식각용 마스크 패턴으로 반도체 기판에 트렌치를 형성한다. 그 후, 상기 트렌치 식각용 마스크 패턴 측벽에 적어도 박막이 형성되도록 파임방지막을 상기 반도체 기판의 전면에 형성하고, 상기 파임방지막 위에 라이너층(liner layer)을 증착한다. 이어서, 상기 트렌치를 매립하면서 반도체 기판의 표면을 덮는 소자분리용 절연막을 증착하고, 상기 트렌치 식각용 마스크 패턴이 노출되도록 상기 노출된 소자분리용 절연막을 일부 제거한다. 마지막으로 상기 트렌치 식각용 마스크 패턴을 제거한다.

본 발명의 바람직한 실시예에 의하면, 상기 반도체 기판은 패드산화막(pad oxide)이 형성된 반도체 기판인 것이 적합하고, 상기 마스크 패턴 위에 실리콘옥시나이트라이드(SiON), 산화막 및 이들의 복합막중의 하나를 이용하여 150~1500Å의 두께로 형성되는 반사방지막을 더 형성할 수 있다.

상기 파임방지막은 상기 라이너층과 식각선택비를 갖는 막질로서 화학기상증착으로 증착된 산화막이거나, 실리콘막을 증착하여 열산화시킨 산화막 및 질화막과 산화막이 적어도 1회 이상 교대로 구성된 복합 라이너층을 이용하여 구성하는 것이 바람직하다.

또한, 본 발명의 바람직한 실시예에 의하면, 상기 라이너층은 질화막을 사용하여 20~300Å의 두께로 형성하는 것이 적합하고, 상기 라이너층을 형성한 후에, 라이너층의 두께를 유지시키고 외부로부터의 손상(damage)을 억제하기 위한 고온산화막(HTO)을 형성하는 공정을 더 진행하는 것이 적합하다. 또한 소자분리막의 막질 특성에 따라 선택적으로 막질 개선을 위하여 플라즈마 처리 공정을 더 진행할 수 있다.

바람직하게는, 소자분리용 절연막을 증착한 후에 상기 소자분리용 절연막의 막질 특성을 강화시키기 위한 열처리 공정을 더 진행하는 것이 바람직하고, 상기 마스크 패턴을 제거하는 방법은 인산(H₃PO₄)을 이용한 습식식각으로 제거하는 것이 적합하다.

상기 파임방지막으로 CVD에 의한 산화막을 사용할 경우에는 상기 트렌치를 형성한 후에 트렌치 내부에 열산화막을 더 형성할 수 있으며, 상기 CVD에 의한 산화막의 두께는 10~300Å의 두께 범위로 형성하는 것이 바람직하다.

상기 파임방지막으로 실리콘막을 열산화시킨 산화막을 사용할 경우에는 실리콘막의 두께가 10~200Å의 범위인 것이 적합하다.

상기 파임방지막으로 질화막과 산화막이 적어도 1회 이상 교대로 구성된 복합 라이너층을 사용할 경우에는 상기 트렌치를 형성한 후에 트렌치 내부에 열산화에 의한 내부산화막을 더 형성할 수 있으며, 상기 복합 라이너층에서 첫 번째 질화막은 두께가 10~50Å의 범위로 형성하는 것이 바람직하다.

상기 기술적 과제를 달성하기 위한 본 발명의 제1 실시예에 의한 반도체 소자의 트렌치 소자분리방법은 반도체 기판에 트렌치 식각용 마스크 패턴(mask pattern)을 형성하는 제1 공정과, 상기 트렌치 식각용 마스크 패턴을 이용하여 상기 반도체 기판에 트렌치(trench)를 형성하는 제2 공정과, 상기 트렌치 내부에 열산화막을 형성하는 제3 공정과, 상기 트렌치 식각용 마스크 패턴의 측벽에 적어도 박막이 형성되도록 상기 반도체 기판의 전면에 화학기상증착에 의한 파임방지막 산화막을 증착(deposition)하는 제4 공정과, 상기 파임방지막 산화막 위에 라이너용 질화막을 증착하는 제5 공정과, 상기 트렌치를 완전히 매립(filling)하면서 상기 반도체 기판의 표면을 덮는 소자분리용 절연막을 증착하는 제6 공정과, 상기 트렌치 식각용 마스크 패턴이 노출되도록 상기 노출된 소자분리용 절연막을 일부 제거하는 제7 공정과, 상기 트렌치 식각용 마스크 패턴을 제거하는 제8 공정을 구비하는 것을 특징으로 한다.

본 발명의 바람직한 실시예에 의하면, 상기 제4 공정의 파임방지막 산화막은 두께가 10~300Å의 범위인 것이 적합하고, 상기 제5공정의 라이너용 질화막은 두께가 20~300Å의 범위인 것이 바람직하다.

상기 기술적 과제를 달성하기 위한 본 발명의 제2 실시예에 의한 반도체 소자의 트렌치 분리방법은 반도체 기판에 트렌치 식각용 마스크 패턴을 형성하는 제1 공정과, 상기 마스크 패턴을 이용하여 반도체 기판에 트렌치를 형성하는 제2 공정과, 상기 트렌치가 형성된 반도체 기판의 전면에 실리콘막을 증착(deposition)하는 제3 공정과, 상기 실리콘막을 열산화(thermal oxidation)시켜 상기 트렌치 식각용 마스크 패턴 표면과 트렌치 내부에 파임방지막 산화막을 형성하는 제4 공정과, 상기 파임방지막 산화막 위에 라이너용 질화막을 형성하는 제5 공정과, 상기 트렌치를 매립하면서 반도체 기판의 전면을 덮는 소자분리용 절연막을 증착하는 제6 공정과, 상기 트렌치 식각용 마스크 패턴이 노출되도록 상기 노출된 소자분리용 절연막의 일부를 제거하는 제7 공정과, 상기 트렌치 식각용 마스크 패턴을 제거하는 제8 공정을 구비하는 것을 특징으로 한다.

본 발명의 바람직한 실시예에 의하면, 상기 제3 공정의 실리콘막은 두께가 10~200Å의 범위가 되도록 형성하는 것이 적합하고, 상기 제4 공정의 열산화(thermal oxidation)는 증착된 실리콘이 잔류하지 않고 전부 산화막으로 변하도록 하는 것이 적합하다.

바람직하게는, 상기 제5 공정의 라이너용 질화막은 두께가 20~300Å의 범위가 되도록 형성하는 것이 적합하다.

상기 기술적 과제를 달성하기 위한 본 발명의 제3 실시예에 의한 반도체 소자의 트렌치 분리방법은, 반도체 기판에 트렌치 식각용 마스크 패턴을 형성하는 제1 공정과, 상기 트렌치 식각용 마스크 패턴을 이용하여 상기 반도체 기판에 트렌치를 형성하는 제2 공정과, 상기 결과물에 열산화를 이용하여 트렌치 내부산화막을 형성하는 제3 공정과, 상기 트렌치 내부산화막이 형성된 반도체 기판에 표면 단차를 따라서 라이너용 질화막과 파임방지용 산화막이 적어도 1회 이상 교대하는 구조의 복합라이너층을 형성하는 제4 공정과, 상기 복합라이너층이 형성된 반도체 기판 전면에 표면 단차를 따라 라이너용 최종질화막을 형성하는 제5 공정과, 상기 라이너용 최종질화막 위에 상기 트렌치를 매립하면서 반도체 기판의 전면을 덮는 소자분리용 절연막을 형성하는 제6 공정과, 상기 트렌치 식각용 마스크 패턴이 노출되도록 상기 소자분리용 절연막을 일부 제거하는 제7 공정과, 상기 트렌치 식각용 마스크 패턴을 제거하는 제8 공정을 구비하는 것을 특징으로 한다.

상기 제4 공정의 복합 라이너층에서 첫번째로 형성되는 질화막은 10~50Å의 두께로 형성하는 것이 바람직하며, 상기 제5 공정 후에 복합 라이너층의 질화막 두께를 유지시키고 외부로부터의 손상(damage)을 억제하기 위한 고온산화막을 형성하는 공정을 더 진행하는 것이 바람직하다.

상기 기술적 과제를 달성하기 위한 본 발명의 제4 실시예에 의한 반도체 소자의 트렌치 분리방법은, 반도체 기판에 트렌치 식각용 마스크 패턴을 형성하는 제1 공정과, 상기 마스크 패턴을 이용하여 상기 반도체 기판에 트렌치를 형성하는 제2 공정과, 상기 반도체 기판에 표면 단차를 따라서 파임방지용 산화막과 라이너용 질화막이 적어도 1회 이상 교대하는 구조의 복합 라이너층을 형성하는 제3 공정과, 상기 복합 라이너층 위에 상기 트렌치를 매립하면서 반도체 기판의 전면을 덮는 소자분리용 절연막을 형성하는 제4 공정과, 상기 마스크 패턴이 노출되도록 상기 소자분리용 절연막 일부를 제거하는 제5 공정과, 상기 마스크 패턴을 제거하는 제6 공정을 구비하는 것을 특징으로 한다.

바람직하게는, 상기 제4 공정의 복합 라이너층에서 첫번째로 형성되는 질화막은 10~50Å의 두께로 형성하는 것이 적합하고, 상기 제4 공정 후에 복합 라이너층의 질화막 두께를 유지시키고 외부로부터의 손상(damage)을 억제하기 위한 고온산화막을 형성하는 공정을 더 진행하는 것이 적합하다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 의한 반도체 소자는, 반도체 기판과, 상기 반도체 기판에 트렌치를 형성하고 반도체 기판의 표면 단차를 따라 증착된 적어도 하나 이상씩의 산화막과 질화막을 포함하는 파임방지용 복합 라이너층, 상기 복합 라이너층을 덮으면서 트렌치 내부를 채우는 트렌치 소자분리용 절연막을 구비하는 것을 특징으로 한다.

본 발명의 바람직한 실시예에 의하면, 상기 반도체 소자는 상기 복합 라이너층과 상기 소자분리용 절연막 사이에 상기 복합 라이너층의 질화막 손상방지 및 두께 보존을 위한 산화막을 더 구비하는 것이 적합하고, 상기 트렌치 내벽을 따라 형성된 트렌치 내부산화막을 더 구비하는 것이 적합하며, 상기 산화막으로 고온산화막을 사용할 수 있으며, 상기 내부산화막은 열산화막인 것이 적합하다.

바람직하게는, 상기 복합 라이너층은 제1 질화막과 제1 산화막과 제2 질화막이 순차적으로 적층된 복합막인 것이 적합하고, 상기 제1 질화막은 두께가 10~50Å의 범위인 것이 적합하다. 그리고 이러한 복합 라이너층은 상기 제2 질화막 위에 적어도 하나 이상의 또 다른 산화막과 질화막을 더 구비할 수 있다.

또한, 본 발명의 바람직한 실시예에 의하면, 상기 복합 라이너층은 제1 산화막과 제1 질화막이 순차적으로 적층된 구조의 복합막을 사용하여 구성할 수 있다. 이 경우, 상기 제1 질화막 위에 적어도 하나 이상의 또 다른 산화막과 질화막 더 형성할 수 있으며, 상기 라이너용 제1 질화막은 두께가 10~50Å의 범위인 것이 적합하다.

본 발명에 따르면, 반도체 소자의 트렌치 소자분리 공정에서 질화막으로 된 라이너층의 식각을 억제하는 파임방지막(Dent free layer)을 추가로 구성하여 덴트(Dent)를 방지함으로써 디램(DRAM)과 같은 메모리 소자에서 리프레쉬(refresh) 특성이 저하되는 것을 억제하고, 게이트 브릿지 결함을 억제하고, 트랜지스터의 전기적 특성을 개선할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

실예: 산화막으로 된 파임방지막을 형성한 후의

라이너용 질화막의 식각비.

도 5는 본 발명의 실험예를 설명하기 위해 도시한 투과전자 현미경(Transmission Electron Microscope, 이하 'TEM') 사진이다.

도 5를 참조하면, 패드산화막(pad oxide)이 형성된 반도체 기판(1)에 질화막으로 된 마스크 패턴(2)을 형성하고, 이를 이용하여 반도체 기판을 식각하여 트렌치를 형성한다. 그 후 열산화를 진행하여 트렌치 내부 산화막(3)을 110Å의 두께로 형성한다. 이어서 라이너용 제1 질화막(3과 4사이의 검은색 층)을 55Å의 두께로 형성한다. 계속해서 CVD 산화막, 예컨대 고온산화막(HTO: High Temperature Oxide)으로 된 500Å 두께의 제1 산화막(4)과, 55Å 두께의 라이너용 제2 질화막(4와 5사이의 검은색 층), HTO로 된 500Å 두께의 제2 산화막(5)과, 100Å 두께의 라이너용 제3 질화막(5와 6사이의 검은색 층)과, HTO로 된 500Å 두께의 제3 산화막(6)과, 200Å 두께의 라이너용 제4 질화막(6과 7사이의 검은색 층)을 순차적으로 적층한다. 그 후, USG(Undoped Silicate Glass, 7)을 1000Å의 두께로 증착하고, 다시 라이너용 제5 질화막(7과 8사이의 검은색 층)을 55Å의 두께로 증착하고 마지막으로 트렌치를 매립하는 소자분리용 절연막으로 사용되는 USG(Undoped Silicate Glass)막을 4000Å, 그리고 PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate)막을 3000Å의 두께로 증착한 소자분리막(8)을 적층한다. 그리고 마스크 패턴(2)을 연마저지층(polishing stopper)으로 이용하여 화학기계적 연마(CMP)를 진행하여 반도체 기판의 전면을 평탄화한다. 이어서 인산용액을 이용한 습식식각을 진행하여 반도체 기판의 표면에 노출된 질화막들을 일부 제거하였을 때의 투과전자현미경(TEM) 사진이다.

이때, CMP 후, 질화막으로 된 마스크 패턴(2)의 두께는 2000Å이다. 그리고 인산을 이용한 습식식각은 마스크 패턴(2)이 1700Å 정도 식각되도록 진행하였다. 그후, 일정한 두께의 산화막(4, 5, 6, 7) 사이에 형성되고, 각각 두께를 달리하는 제2, 제3 및 제4 질화막에 대하여 식각이 진행된 정도를 관찰하였다.

두께가 55Å으로 형성된 라이너용 제2 질화막(4와 5사이의 검은색 막)의 경우는 마스크 패턴(2)이 1700Å 식각되는 동안에 500Å(도면의 A부분)이 식각되었고, 두께가 100Å의 두께로 형성된 라이너용 제3 질화막의 경우는 1200Å(도면의 B부분)이 식각되었고, 마지막으로 두께가 200Å으로 형성된 제4 질화막의 경우에는 마스크 패턴(2)이 식각된 정도와 비슷한 1600Å(도면의 C부분)이 식각되었다.

즉, 위의 사실로부터 라이너용 질화막의 두께를 약 300Å 이하로 형성하고 이를 산화막사이에 끼워 넣을 경우에는 식각시에 마스크 패턴(2)보다 식각율이 떨어지는 것을 확인할 수 있다. 이것은 인산용액에 노출되는 라이너용 질화막의 표면적이 협소하기 때문에 라이너용 질화막의 두께를 두껍게 형성할 때보다 얇게 형성할 경우가 등방성 습식식각시에 식각율이 떨어지는 것으로 생각된다.

상기 실험으로부터 도출할 수 있는 결론은, 트렌치 내부산화막(3)을 형성하고, 적어도 마스크 패턴(2)의 측벽에 박막이 형성되도록 산화막을 형성하고 약 300Å 이하의 얇은 두께로 질화막을 형성하면, 후속되는 마스크 패턴(2) 제거할 때, 라이너용 질화막이 함께 식각되는 덴트(Dent)를 억제할 수 있다는 것이 유추된다. 또한, 라이너용 질화막은 한 개를 사용할 수도 있고, 복수개를 사용하여도 마스크 패턴(2) 식각시에 덴트(dent)를 억제할 수 있는데, 이는 도 5의 투과전자 현미경(TEM) 사진으로 판단이 가능하다.

제1 실시예: 파임방지막으로 CVD에 의한 산화막을 이용하는 경우

도 6 내지 도 10은 본 발명의 제1 실시예에 의한 파임방지막을 이용한 트렌치 소자분리 방법을 설명하기 위해 도시한 단면도들이다.

도 6을 참조하면, 100~500Å 두께의 패드산화막(102)이 형성된 반도체 기판(100)에 소자분리영역을 정의하기 위한 사각/식각공정의 마스크 패턴(104, mask pattern)으로 사용될 질화막(SiN)을 저압 화학기상증착(LPCVD)방식으로 약 500~3000Å의 두께 범위로 증착한다. 여기서 패드산화막은 900℃의 온도조건에서 열산화(thermal oxidation)에 의해 형성이 가능하며, 이러한 패드산화막(102)을 형성하는 공정은 생략이 가능하다. 그리고 상기 마스크 패턴으로 사용될 물질층 위에 HTO와 같은 산화막, 실리콘옥시나이트라이드(SiON) 및 이들의 복합막으로 구성된 반사방지막(ARC: Anti-Reflective Coating)을 150~1500Å의 두께로 더 증착하여 반사방지막(ARC)로 활용하여 좀 더 고집적화 된 반도체 소자에 사용되는

미세 패턴을 형성할 수 있다.

도 7을 참조하면, 상기 마스크 패턴으로 사용될 물질층에 사진 및 식각공정을 진행하여 반도체 기판(100)의 일부를 식각하여 트렌치(106)를 형성한다. 그 후, 산화공정(oxidation), 예컨대 열산화(thermal oxidation)를 진행하여 트렌치(106) 내벽에 트렌치 내부산화막(108)을 형성한다. 여기서도 트렌치 내부산화막(108)을 형성하는 공정은 생략될 수 있다.

그리고, 상기 트렌치(106)를 식각하는 방법은 사진공정에서 최상층에 구성되는 포토레지스트 패턴(미도시)을 식각마스크로 반도체 기판(100)을 포함하는 하지막들을 식각하여 트렌치(106)를 형성할 수 있고, 다른 방법으로 포토레지스트 패턴을 이용하여 패드산화막(102)까지만 일단 식각을 진행하고, 에싱공정으로 포토레지스트 패턴을 제거한 후, 추가로 형성된 반사방지막(ARC, 미도시)을 식각마스크로 이용하여 하지막들을 식각하여 트렌치(106)를 형성할 수 있고, 또 다른 방법으로 상부에 반사방지막을 형성하지 않은 경우에는 마스크 패턴(104)을 식각마스크로 이용하여 하지막들을 식각하여 트렌치(106)를 형성할 수 있다. 즉, 트렌치를 식각하는 방법은 많은 변형이 가능하다고 할 수 있다.

도 8을 참조하면, 상기 트렌치 내부산화막(108)이 형성된 결과물에 후속공정에서 형성되는 라이너층(liner layer)인 질화막과 식각선택비를 갖는 막질인 CVD 산화막으로 된 파임방지막(110)을 10~300 Å의 두께로 증착한다. 이어서 열적 스트레스를 억제하기 위한 라이너층(112)을 질화막(SiN)을 이용하여 20~300 Å의 두께로 형성한다. 상기 라이너층(112)은 저압 화학기상증착(LPCVD) 방식으로 증착할 수 있다. 그 후, 700℃에서 900℃의 고온에서 형성된 고온산화막(HTO, 미도시)을 약 100 Å의 두께로 증착하고, 상기 고온산화막(HTO)에 대해 암모니아 플라스마 처리를 진행하여 후속공정에서 상기 라이너층(112)의 두께가 얇아지거나 손상되는 것을 방지한다. 이때, 고온산화막 대신에 HDP 산화막이나 USG를 증착시에는 플라스마 처리를 생략할 수 있다.

여기서, 고온산화막(HTO) 및 고온산화막에 대한 플라스마 처리는 생략 가능한 공정이다. 상기 고온산화막이 형성된 결과물에 반도체 기판의 표면을 덮을 정도로 충분한 두께를 갖는 소자분리용 절연막(114)을 증착한다. 상기 소자분리용 절연막(114)은 USG, TEOS, HDP(High Density Plasma) 산화막, 모노실란(SiH₄) 베이스의 CVD 산화막 및 이들의 복합막으로 형성할 수 있다. 상기 소자분리용 절연막(114)을 증착한 후에 막질의 조밀화를 위한 열처리(Annealing) 공정을 진행한다. 이러한 열처리 공정은 800℃ 내지 1150℃의 온도에서 진행하는 것이 적합하다. 상기 열처리 공정에 의하여 전체적인 막질이 불산(HF)이나 인산(H₃PO₄) 베이스의 식각용액에 대하여 식각율이 떨어지게 된다. 그 후, 상기 마스크 패턴(104)이 노출되도록 화학기계적 연마(CMP) 공정을 진행하여 상기 소자분리용 절연막(114), 라이너층(112) 및 파임방지막(110)의 일부를 제거한다.

이때, 파임방지막(110)은 적어도 마스크 패턴(104)의 측벽에 형성되도록 증착하는 것이 중요한 의미를 갖는다. 그 이유는 후속되는 마스크 패턴(104')을 제거하기 위한 습식식각 공정에서 질화막으로 된 라이너층(112)이 식각액인 인산용액에 노출되는 면적을 줄여주는 역할을 하기 때문이다. 기존의 기술처럼 트렌치 내벽의 산화막을 형성하기 위한 열산화공정에서는 트렌치 내벽에는 산화막이 형성되지만, 마스크 패턴(104)인 질화막의 측벽에는 산화막이 형성되지 않았다. 이로 인하여 후속되는 마스크 패턴(104')을 제거하기 위한 습식식각 공정에서 라이너층(112)이 인산용액에 노출되는 표면적이 많아져서 과도식각(overetching)을 진행할 때, 라이너층(112)인 질화막도 일부 반도체 기판 아래로 식각됨으로써 덴트(Dent) 결함이 발생하였다. 그러나 본 발명과 같이 마스크 패턴(104)의 측벽에 CVD 산화막으로 된 파임방지막을 형성함으로써 이를 억제하는 것이 가능하다.

도 9를 참조하면, 상기 CMP가 진행된 반도체 기판에 질화막으로 된 마스크 패턴(104)을 제거하기 위한 습식식각을 진행한다. 이러한 습식식각은 인산용액을 이용하여 진행할 수 있으며 패드산화막(102) 위에 질화막이 잔류하는 것을 방지하기 위하여 통상 과도식각(over etching)을 하게 된다. 본 발명은 습식식각으로 진행하는 등방성 식각을 중심으로 설명하지만, 이는 건식식각으로 진행하는 이방성 식각을 통해서도 달성될 수 있음은 물론이다. 이때, 라이너층(112)이 종래 기술과 같이 반도체 기판(100) 아래로 식각되는 덴트(dent) 현상이 없어지게 되는데(도면의 8부분), 그 이유는 질화막으로 된 라이너층(112)이 CVD 산화막으로 된 파임방지막(110)과 고온산화막(HTO) 혹은 소자분리용 절연막(114) 사이에 끼어있게 됨으로써 인산용액에 대하여 노출되는 표면적이 줄어들게 되어 식각율이 떨어지기 때문이다. 이에 대하여는 상기 도 5의 실험예를 통하여 이미 설명되었다.

도 10을 참조하면, 상기 마스크 패턴(104)이 제거된 결과물에 산화막에 대하여는 식각율이 높고, 반도체 기판(100)을 구성하는 실리콘층 및 질화막에 대하여는 식각율이 낮은 식각액을 이용한 습식식각을 진행하여 반도체 기판(100)의 표면을 에치백(etchback) 함으로써 본 발명의 제1 실시예에 의한 트렌치 소자분리 공정을 완성한다.

상기 습식식각 공정으로 반도체 기판(100) 위에 잔류하던 패드산화막(102), 파임방지막(110) 및 소자분리용 절연막(114) 일부는 모두 제거되어 평탄화된다. 따라서 최종적인 트렌치 소자분리 공정이 완료된 후에도 소자분리용 절연막(114)과 활성영역의 경계면에서 발생했던 덴트(dent)를 방지할 수 있다.(도 10의 C)

제2 실시예: 파임방지막으로 실리콘막을 증착하고 산화시킨

산화막을 이용하는 경우

이하, 설명되는 실시예에서는 상기 제1 실시예와 동일한 부분은 중복을 피하여 설명을 간략히 하고, 이해를 용이하게 하기 위해 참조부호를 상기 제1 실시예와 서로 대응되도록 구성한다.

도 11 내지 도 17은 본 발명의 제2 실시예에 의한 파임방지막을 이용한 트렌치 소자분리 방법을 설명하기 위해 도시한 단면도들이다.

도 11을 참조하면, 패드산화막(202)이 형성된 반도체 기판(200)에 마스크 패턴(204)을 질화막으로 형성하고, 마스크 패턴(204)을 이용하여 반도체 기판(200)의 일부를 식각하여 트렌치(206)를 형성한다. 이때에도, 제1 실시예와 동일하게 반사방지막을 사용할 수 있으며, 트렌치를 식각하는 방법을 변형시킬 수 있다. 이어서 상기 결과물에 라이너층을 구성하는 질화막과 식각선택비를 갖는 산화막을 형성하기 위해 실리콘막(208)을 10~200Å의 두께로 증착한다. 여기서, 실리콘막은 비정질 실리콘막을 사용하는 것도 가능하나 본 발명에서는 폴리실리콘을 사용한다. 폴리실리콘을 실리콘막(208)으로 증착하는 공정조건은 LPCVD 장비를 이용하여 챔버(chamber) 온도를 500~700℃, 챔버 압력을 0.1~0.6 Torr, 모노실란(SiH₄) 가스를 500cc/min의 양으로 공급하면서 형성할 수 있다. 또 다른 폴리실리콘을 이용한 실리콘막(208)의 형성방법은 LPCVD 장비를 이용하여 챔버 온도를 400~700℃, 챔버 압력을 0.1~0.6 Torr, SiH₄ 가스를 50 SCCM의 양으로 공급하면서 형성할 수 있다.

도 12를 참조하면, 상기 실리콘막(208)이 침적(deposition)된 결과물에 산화공정, 예컨대 열산화(thermal oxidation) 공정을 진행하여 상기 실리콘막(208)을 열산화에 의한 산화막인 파임방지막(210)으로 변화시킨다. 여기서 폴리실리콘으로 이루어진 실리콘막(208)이 완전히 산화되지 않고 잔류할 경우, 트랜지스터의 전기적 특성에 치명적인 결함을 야기할 수 있다. 이를 방지하기 위해 침적된 실리콘막(208)이 완전히 산화되도록 열산화 시간을 조절하는 것이 적절하다. 상기 열산화의 공정조건은 대기압 상태의 챔버 온도를 800~1000℃로 조절하고, 산소가스(O₂)를 5~15 l/min, 염화수소(HCl) 가스를 0.05~0.2l/min의 양으로 공급하면서 산화를 진행하는 것이 적절하다.

따라서, 기존에는 실리콘막(208)을 형성하지 않고, 트렌치 내벽에만 열산화막을 형성하였기 때문에 질화막으로 된 마스크 패턴(204)의 측벽에는 파임방지막(210), 즉 산화막이 형성되지 않았다. 그러나 본 실시예와 같이 폴리실리콘막을 먼저 증착하고 열산화를 진행할 경우에는 질화막으로 된 마스크 패턴(204)의 측벽에도 제1 실시예와 같이 파임방지막(210)의 역할을 하는 열산화막이 형성된다. 그러므로 후속되는 인산용액을 통한 습식식각 공정에서 열적 스트레스를 억제하기 위해 사용되는 라이너용 질화막이 인산용액에 노출되는 표면적을 최소로 줄여서 라이너층(도16의 212)의 식각율(etching rate)을 떨어뜨릴 수 있다.

도 13을 참조하면, 상기 열산화 공정으로 파임방지막(210)이 형성된 결과물에 저압 화학기상증착(LPCVD) 방식으로 20~300Å 두께의 질화막(SiN)을 재질로 하는 라이너층(liner layer)을 증착한다.

도 14를 참조하면, 상기 결과물에 산화막, 예컨대 고온산화막(HTO, 미도시)을 약 100Å의 두께로 적층하고 암모니아 플라즈마 처리를 진행하여 라이너층(212)이 후속공정에서 두께가 얇아지거나 손상 받는 것을 방지한다. 이어서 상기 결과물에 반도체 기판의 표면을 충분히 덮도록 소자분리용 절연막(214)을 증착하고, 막질의 조밀화를 위한 열처리 공정을 진행한다.

도 15를 참조하면, 상기 마스크 패턴(204)을 연마저지층으로 CMP 공정을 진행함으로써 상기 소자분리용 절연막(214), 라이너층(212) 및 파임방지막(210)의 일부를 제거하여 평탄화를 달성한다.

도 16을 참조하면, 상기 평탄화가 완료된 반도체 기판에 마스크 패턴(204)을 제거하기 위한 습식식각을 진행한다. 이때 습식식각액은 인산용액을 사용하는 것이 바람직하며 반도체 기판의 표면에 질화막으로 된 마스크 패턴이 잔류하는 것을 억제하기 위해 충분한 과도식각(over etching)을 진행한다.

상기 과도식각을 진행하는 과정에서 질화막으로 된 마스크 패턴(204)은 모두 제거되지만, 질화막으로 된 라이너층(212)은 상기 도 5의 실험에서 입증된 식각율의 차이 때문에 반도체 기판(200) 아래로 파이도록 식각이 되지 않는다.(도면의 B' 부분)

참고로 아래의 표 1은 인산과 LAL200을 습식식각액으로 사용하였을 때, 질화막으로 된 마스크 패턴(204)과 라이너층(212), 열산화막으로 된 파임방지막(210) 및 USG(Undoped Silicate Glass)로 이루어진 소자분리용 절연막(214)의 식각율이며, 단위는 Å/min이다. 이때, 라이너층인 질화막의 두께는 70 Å으로 형성하였다.

[표 1]

	SiN(204)	라이너층(212)	파임방지막 (210)	USG(214)
인산	52.3	21.6	2	3
LAL200	3	≈0	218	330

여기서 LAL200은 상기 반도체 기판 표면 위로 잔류하는 산화막인 파임방지막(210), 소자분리용 절연막(214) 및 패드산화막(202)을 습식식각으로 제거하는데 사용되는 식각액이다. 열산화막을 기준으로 LAL200의 식각율은 약 200 Å이다.

도 17을 참조하면, 상기 반도체 기판(200)의 표면 위에 잔류하는 산화막들을 습식식각으로 제거하여 본 발명의 제2 실시예에 의한 트렌치 소자분리 공정을 완료하였을 때의 단면도이다. 종래에는 인산을 이용한 습식식각 공정에서 덴트(Dent)가 발생하였으나, 본 발명에서는 실리콘을 열산화시켜 형성한 파임방지막(210)이 질화막으로 된 라이너층(212)의 식각율을 떨어뜨렸기 때문에 덴트(dent)가 발생(C')하지 않는 것을 알 수 있다.

제3 실시예: 파임방지막으로 질화막과 산화막이 1회 이상 교대하는

복합막을 이용하는 경우

본 실시예는 라이너용 질화막이 너무 얇은 경우에 후속되는 산화공정에서 쉽게 파괴되는 특성을 보강하고, 너무 두꺼울 경우에는 트렌치 소자분리 공정을 진행한 후에 소자분리용 절연막과 활성영역의 경계면에서 덴트(dent)가 발생하는 문제점을 보강하기 위하여 고안된 것이다. 즉, 얇은 라이너용 질화막들의 중간에 산화막들을 샌드위치 식으로 구성하여 질화막과 산화막이 1회 이상 교대하는 구조의 파임방지막을 구성한 것이다. 따라서 각각의 라이너용 질화막들이 후속되는 산화공정에서 쉽게 파괴되는 것을 방지하고, 동시에 라이너용 질화막들의 식각율을 떨어뜨려서 마스크 패턴으로 사용되는 질화막의 식각시에 라이너용 질화막에서 덴트(Dent)의 발생을 억제할 수 있다.

도 18 내지 도 21은 본 발명의 제3 실시예에 의한 파임방지막을 이용한 트렌치 소자분리 방법 및 이를 이용한 반도체 소자를 설명하기 위해 도시한 단면도들이다.

도 18을 참조하면, 상기 제1 실시예와 동일한 방법으로 반도체 기판(300)에 패드산화막(302), 마스크 패턴(304) 및 트렌

치(306)를 형성하고, 트렌치의 내벽에 트렌치 내부산화막(308)을 약 100 Å의 두께로 형성한다. 상기 공정에서도 제1 실시예와 마찬가지로 많은 변형이 가능하다.

도 19를 참조하면, 상기 트렌치 내부산화막(308)이 형성된 결과물에 라이너용 질화막과 파임방지막 산화막이 적어도 1회 이상 교번하는 복합 라이너층(318)을 LPCVD 방식으로 적층한다. 이때, 첫 번째로 증착되는 라이너용 제1 질화막(310)의 두께를 10~50 Å의 두께로 형성하는 것이 후속되는 마스크 패턴을 습식식각으로 제거할 때, 도 5에 설명된 덴트(dent) 발생을 억제할 수 있다. 본 실시예에서는 상기 제1 질화막(310), 제1 산화막(312), 제2 질화막(314) 및 제2 산화막(316)의 두께를 각각 30 Å의 두께로 형성한다. 이어서, 라이너용 최종질화막(320)을 약 30 Å의 두께로 증착하고, 라이너용 질화막들(310, 314, 320)의 두께 보호 및 손상억제를 위한 산화막(322), 예컨대 고온산화막(HTO)을 일정두께로 형성하고 플라즈마 처리를 진행하여 고온산화막(HTO)의 막질을 개선한다. 여기서 고온산화막(HTO)을 형성하는 공정은 생략이 가능하다. 그 후, 소자분리용 절연막(324)을 반도체 기판의 표면을 충분히 덮도록 증착한다. 이어서 상기 소자분리용 절연막(324)의 조밀화를 위한 열처리 공정을 진행한다.

여기서, 본 실시예에서는 질화막과 산화막이 순차적으로 교대하는 막질을 2회에 걸쳐 형성한 복합 라이너층(318)을 파임방지막으로 이용하였다. 이렇게 교대하는 횟수는 많이 하면 할수록 파임방지막 및 라이너(liner)의 기능은 증대되지만 공정비용이 높아지는 것을 고려하여 효과적인 단계에서 멈추어야 한다.

도 20을 참조하면, 상기 마스크 패턴(304)을 연마저지층으로 CMP를 진행하여 소자분리용 절연막(324), 최종질화막(320), 고온산화막(322) 및 복합 라이너층(318)의 일부를 제거하여 반도체 기판의 표면을 평탄화시킨다.

도 21을 참조하면, 상기 평탄화가 완료된 반도체 기판에 인산을 이용한 습식식각을 진행하여 질화막으로 된 마스크 패턴(304)을 제거한다. 이때 상기 복합 라이너층(318)의 제1 질화막(310) 제2 질화막(314) 및 최종질화막(320)이 파임방지막 제1 산화막(312), 제2 산화막(316) 및 고온산화막(320)에 의해 샌드위치 식으로 끼여있게 되어서 상기 제 5도에서 설명한 얇은 라이너층의 식각율이 떨어지는 효과가 발생한다. 따라서 과도식각을 하더라도 라이너용 질화막들(310, 314, 320)이 반도체 기판(300) 아래로 식각되는 덴트(Dent)가 발생되지 않는다. 그 후, 반도체 기판(300) 위로 잔류하는 파임방지막 제1 산화막(312), 제2 산화막(316), 고온산화막(320) 및 소자분리용 절연막(324)을 습식식각으로 제거하여 평탄화시킴으로써 본 발명의 제3 실시예에 의한 트렌치 소자분리 공정을 완료한다.

이하, 도 21을 참조하여 본 발명에 의한 반도체 소자의 구조를 설명한다.

본 발명의 제3 실시예에 의한 반도체 소자의 구성은 반도체 기판(300)과, 상기 반도체 기판에 트렌치를 형성하고 트렌치 내벽을 따라서 일정두께, 예컨대 100 Å의 두께로 형성된 트렌치 내부산화막(308)과, 상기 트렌치 내부산화막(308) 위에 증착되고 적어도 하나 이상씩의 산화막과 질화막을 포함하는 파임방지막 복합 라이너층(318, 320)과, 상기 복합 라이너층(318, 320) 위에 형성되는 산화막(322) 및 상기 산화막(322)을 덮으면서 트렌치 내부를 채우는 소자분리용 절연막(324)으로 이루어진다.

여기서, 트렌치 내부산화막(308)은 열산화에 의해 생성된 산화막이며, 상기 복합 라이너층은 제1 질화막(310), 제1 산화막(312), 제2 질화막(314)을 최소의 구성으로 하고, 필요하다면 그 상부에 또 다른 산화막과 질화막을 더 구성할 수 있다. 본 발명에서는 바람직한 실시예로 제2 산화막(316)과 최종질화막(320)을 더 구성하였다. 그리고 상기 최종질화막(320) 위에 구성되는 산화막(322)은 고온산화막(HTO)으로써, 이를 구성하지 않고도 본 실시예에 의한 반도체 소자를 구성할 수 있다.

상기 반도체 소자에서 복합 라이너층(318)은 트렌치 소자분리 공정에서 본 발명의 목적인 덴트(dent)를 방지하며, 트렌치 내부에서 발생하는 열적 스트레스(stress)를 억제하는 주요한 수단이 된다.

제4 실시예: 파임방지막으로 산화막과 질화막이 1회 이상 교대하는

복합막을 이용하는 경우

본 실시예는 상기 제3 실시예와 유사하며, 주요한 차이점은 복합 라이너층으로 산화막과 질화막이 적어도 1회 이상 순차적으로 교대하는 구조의 복합막을 사용하는 경우이다. 즉 제3 실시예와 비교하여 질화막과 산화막이 적층되는 순서가 반대이다.

도 22 내지 도 24는 본 발명의 제4 실시예에 의한 파임방지막을 이용한 트렌치 소자분리 방법 및 이를 이용하는 반도체소자를 설명하기 위해 도시한 단면도들이다.

도 22를 참조하면, 반도체 기판(400)에 패드산화막(402) 및 마스크 패턴(404)을 형성하고 마스크 패턴(404)을 이용하여 트렌치(406)를 형성한다. 그 후, 트렌치 내벽에 트렌치 내부산화막(408)을 형성한다. 여기서, 패드산화막(402)과 트렌치 내부산화막(408)은 필요에 따라 생략하고 공정을 진행할 수 있다.

도 23을 참조하면, 상기 트렌치 내부산화막(408)이 형성된 반도체 기판(400)의 단차를 따라서 라이너용 질화막과 파임방지막용 산화막이 적어도 1회 이상 교번하는 구조의 복합 라이너층(418)을 LPCVD 방식으로 적층한다. 여기서 제1 산화막(410)은 상기 제2 실시예와 동일하게 화학기상증착 방식이 아닌 실리콘막을 적층하고 이를 열산화시키는 방식으로 형성할 수 있다. 이때, 첫 번째로 증착되는 라이너용 제1 질화막(412)의 두께를 10~50Å의 두께로 형성하는 것이 후속되는 마스크 패턴을 습식식각으로 제거할 때, 도 5에 설명된 덴트(dent) 발생을 억제할 수 있다. 본 발명의 바람직한 실시예에서는 제1 질화막(412)의 두께를 10~50Å으로 한정하여 기술하였으나, 이는 라이너층으로 사용되는 제1 질화막(412)의 두께를 10~300Å의 두께로 형성하여도 덴트를 억제할 수 있는 효과가 있다. 본 실시예에서는 상기 교번하는 횟수를 2로 한정하여 제1 산화막(410), 제1 질화막(412), 제2 산화막(414), 제2 질화막(416)을 각각 30Å의 두께로 형성하였다. 그러나 필요하다면 그이상으로 교번하는 구조의 복합 라이너층(418)을 형성할 수 있다. 그 후, 산화막(420), 예컨대 고온산화막(HTO)을 형성하고, 소자분리용 절연막(424)을 반도체 기판 상부를 충분히 덮을 수 있도록 증착하여 막질의 조밀화를 위한 열처리 공정을 진행한다.

도 24를 참조하면, 마스크 패턴(404)을 연마저지층으로 활용하는 CMP 공정을 진행하여 반도체 기판의 전면을 평탄화시키고, 인산을 이용한 습식식각을 진행하여 도 5에서 설명된 바와 같이 질화막들(412, 416)에서 발생하는 덴트(dent)를 방지한다. 이어서 반도체 기판 표면 위에 잔류하는 산화막들을 제거하면 복합 라이너층(418)으로 구성되고 덴트가 발생하지 않는 트렌치 소자분리막(424)을 형성할 수 있다.

이하, 도 24를 참조하여 본 발명에 의한 반도체 소자의 구조를 설명한다.

본 발명의 제4 실시예에 의한 반도체 소자의 구성은 반도체 기판(400)과, 상기 반도체 기판에 트렌치를 형성하고 트렌치 내부를 따라서 일정두께, 예컨대 100Å의 두께로 형성된 트렌치 내부산화막(408)과, 상기 트렌치 내부산화막(408) 위에 증착되고 적어도 하나 이상씩의 산화막과 질화막을 포함하는 파임방지막용 복합 라이너층(418)과, 상기 복합 라이너층(418) 위에 형성되는 산화막(420) 및 상기 산화막(420)을 덮으면서 트렌치 내부를 채우는 소자분리용 절연막(424)으로 이루어진다.

여기서, 트렌치 내부산화막(408)은 열산화에 의해 생성된 산화막으로써, 이를 구성하지 않을 수도 있으며, 상기 복합 라이너층(418)은 제1 산화막(410), 제1 질화막(412)이 순차적으로 적층된 것을 최소의 구성요소로 하고, 필요하다면 또 다른 산화막과 질화막을 순차적으로 더 구성할 수 있다. 본 발명에서는 바람직한 실시예로 제2 산화막(414)과 제2 질화막(416)을 더 구성하였다. 또한 첫 번째 제1 질화막의 두께는 10~50Å의 범위로 구성하여 상기 도 5에서 설명된 덴트 방지 효과를 달성할 수 있다.

상기 반도체 소자의 복합 라이너층(418)에서 1회만 산화막과 질화막이 교대하는 경우는 상기 제1 및 제2 실시예에서 설명된 구조가 되며, 2회 동안 산화막과 질화막이 교대하는 경우는 제4 실시예의 복합 라이너층(418)이 된다. 그리고 상기 파임방지막용 복합 라이너층(418) 위에 구성되는 산화막(420)은 고온산화막(HTO)으로써, 이를 구성하지 않을 수도 있다.

본 발명은 그 정신 및 필수 특징을 이탈하지 않고 다른 방식으로 실시할 수 있다. 예를 들면, 상기 바람직한 실시예에 있어서는 마스크 패턴으로 사용된 질화막을 제거하는 방식이 인산을 이용한 습식식각이지만, 이는 식각가스를 이용한 건식식각으로 진행하여도 무방하다. 따라서, 상기 바람직한 실시예에서 기재한 내용은 예시적인 것이며 한정하는 의미가

아니다.

본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

발명의 효과

따라서, 상술한 본 발명에 따르면, 첫째, 산화공정에서 발생하는 스트레스를 억제하기 위한 라이너층을 사용하면서 파임 방지막을 추가로 구성하여 트렌치 소자분리 공정에서 라이너층에 대한 덴트 발생을 억제할 수 있다.

둘째, 덴트(Dent)의 발생을 억제함으로써 인버스 네로우 위드 효과(Inverse Narrow Width Effect) 및 험프(bump)의 발생을 줄여 트랜지스터의 절연파괴특성과 같은 전기적 특성(performance)을 향상시킬 수 있다.

이하, 첨부된 도 25 내지 도 29를 참고하여 본 발명에 따라서 트렌치 소자분리 공정을 진행하였을 때, 반도체 소자의 전기적 특성에 대한 개선 정도를 보다 상세히 설명하기로 한다.

도 25는 본 발명에 의한 반도체 소자에 있어서의 인버스 네로우 위드 효과(INWE: Inverse Narrow Width Effect)의 개선 정도를 설명하기 위해 도시한 그래프이다.

도 25를 참조하면, 트랜지스터의 특성을 평가하는 방법에 있어서 단채널 효과(SCE: Short Channel Effect) 및 인버스 네로우 위드 효과(INWE)를 많이 참조한다. 단채널 효과는 게이트 폭(width)이 일정한 트랜지스터에서 길이(length)가 줄어들면서 문턱전압이 변화하는 것을 확인하는 것이고, 인버스 네로우 위드 효과(INWE)는 게이트 길이(length)가 일정한 트랜지스터에서 폭(width)이 작아지면서 문턱전압의 변화를 확인하는 것이다.

이중에서 인버스 네로우 위드 효과(INWE)는 활성영역과 소자분리막 경계면의 프로파일(profile)과 밀접한 관계가 있다. 예를 들면, 로코스(LOCOS) 계열의 소자분리막은 게이트 폭(width)이 작은 트랜지스터에서 문턱전압(V_{th})이 증가하게 된다. 그리고 트렌치 소자분리막은 게이트 폭(width)이 작아지면서 문턱전압(V_{th})이 감소하게 된다.

즉, 로코스(LOCOS) 소자분리막의 경우에는 버즈빅(Bird's beak)에 의해 활성영역 가장자리의 게이트 산화막이 두꺼워져서 문턱전압(V_{th})이 증가하게 된다. 그리고 트렌치 소자분리막의 경우에는 소자분리막의 가장자리(edge of field oxide)가 리세스(recess)되어 이 부분에서 전기장(Electrical Field)이 많이 걸리게 된다. 이 때문에 트렌치 소자분리막의 경우에는 게이트 폭(Width)이 작아지면서 문턱전압이 감소하게 된다. 일반적으로 트랜지스터에서는 단채널 효과나 인버스 네로우 위드 효과(INWE)가 없는 것이 가장 이상적인 경우이다. 그리고 트렌치 소자분리막을 채택한 경우에는 덴트(Dent)나 그루빙(grooving)이 심할수록 인버스 네로우 위드 효과(INWE)가 심하게 발생하여 문턱전압이 떨어진다.

그래프에서 X축은 게이트 폭(μm)을 나타내고 Y축은 문턱전압(V)을 각각 나타낸다. 그리고 시료에서 게이트 길이(length)는 $10\mu m$ 으로 일정하게 하였다. 그래프에서 -□-로 연결된 선은 종래 기술과 같이 파임방지막을 사용하지 않고 트렌치 내부산화막을 형성한 후, 질화막으로 된 라이너층을 곧바로 형성한 경우의 특성곡선이고, -○-로 연결된 선은 본 발명의 제 1 실시예와 같이 질화막으로 된 라이너층을 증착하기 전에 CVD에 의한 산화막, 예컨대 고온산화막(HTO)을 100\AA 의 두께로 증착하고 트렌치 소자분리 공정을 진행하였을 경우의 특성곡선이다.

상기 그래프에서 알 수 있듯이 인버스 네로우 위드 효과(INWE)가 개선된 것을 확인할 수 있으며, 활성영역과 소자분리막의 경계면에서 덴트(dent)와 그루빙(grooving)과 같은 구조적 결함이 억제됨으로 인해 프로파일(profile)이 개선된 것을 추정할 수 있다.

도 26은 종래 기술과 같이 파임방지막을 형성하지 않고 질화막으로 된 라이너층을 증착하였을 때의 게이트 전압(V_g)과 드레인 전류(I_d)의 관계를 도시한 그래프이고, 도 27은 본 발명의 제1 실시예와 같이 CVD에 의한 산화막을 100\AA 의 두께로 적층하여 파임방지막으로 활용하였을 때의 게이트 전압(V_g)과 드레인 전류(I_d)의 관계를 도시한 그래프이다.

도 26 및 도27을 참조하면, 그래프에서 트랜지스터의 게이트 폭(width)은 $10\mu\text{m}$ 이며, 게이트 길이(length)는 $1\mu\text{m}$ 이다. 그리고 다섯 개의 특성곡선에서 가장 왼쪽부터 백 바이어스(back bias)가 0, -1, -2, -3, -4V로 인가하였을 때의 특성이다. 종래 기술에 의한 특성은 백 바이어스(back bias)가 클수록 험프현상(A)이 심하게 발생된 것을 알 수 있으나, 본 발명의 제1 실시예와 같이 CVD에 산화막, 예컨대 고온산화막(HTO)을 100\AA 의 두께로 증착하고 질화막으로 된 라이너층을 형성한 경우에는 험프가 발생하지 않고 개선된 것(B)을 알 수 있다.

도 28 및 도29는 종래 기술과 본 발명의 제1 실시예의 경우에 있어 절연파괴 특성 및 접합누설전류(Junction leakage current)의 개선정도를 설명하기 위해 도시한 그래프들이다.

도 28 및 도29를 참조하면, 도 28에 있어서 X축은 어느 정도의 전하(charge)가 흘렀을 때, 절연파괴(breakdown)가 발생하는지를 나타내고, 단위는 (C/cm²)이다. 도 29에 있어서 X축은 접합누설전류를 나타내며 단위는 (A)이다. 그리고 Y축은 모두 시료에 대한 분포도(distribution)를 나타내며 단위는 (%)이다. 그래프에서 -□-로 연결된 선은 종래 기술처럼 파임방지막을 형성하지 않고 트랜치 소자분리막을 형성한 경우의 특성곡선이며, -○-로 연결된 선은 트랜치 내벽에 트랜치 내부산화막을 형성하고 CVD산화막인 고온산화막(HTO)으로 된 파임방지막을 형성하고 트랜치 소자분리막을 형성한 경우의 특성곡선이며, -△-로 연결된 선은 트랜치 내부산화막을 형성하지 않고 CVD산화막인 고온산화막(HTO)으로 된 파임방지막을 형성하고 트랜치 소자분리막을 형성한 경우의 특성곡선이다. 그래프에서 알 수 있듯이 본 발명과 같이 파임방지막을 형성한 경우가 절연파괴특성은 우수하고, 접합누설전류 특성은 나빠지지 않은 것을 알 수 있다.

그 외에, 지금까지는 트랜치 내부산화막을 형성하지 않으면 게이트산화막(gate oxide)의 절연파괴(breakdown) 특성과 접합누설전류 특성이 떨어진다고 알려져 왔다. 이것은 소자분리용 절연막을 구성하는 USG 또는 HDP(High Density Plasma) 산화막이 반도체 기판의 실리콘과 직접 맞닿기 때문이다. 그러나 본 발명처럼 산화막으로 된 파임방지막과 라이너용 질화막을 단일 또는 복합막으로 형성하는 경우는 트랜치 내벽에 대한 측벽산화 실시하지 않더라도 게이트산화막에 대한 절연파괴특성 및 접합누설전류 특성에서 열화가 없다는 것을 알 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판에 트랜치 식각용 마스크 패턴을 형성하는 제1 공정;

상기 트랜치 식각용 마스크 패턴을 이용하여 반도체 기판에 트랜치를 형성하는 제2 공정;

상기 트랜치 식각용 마스크 패턴 측벽에 박막이 형성되도록 파임방지막을 상기 반도체 기판의 전면에 형성하는 제3 공정;

상기 파임방지막 위에 라이너층(liner layer)을 증착하는 제4 공정;

상기 트랜치를 매립하면서 반도체 기판의 표면을 덮는 소자분리용 절연막을 증착하는 제5 공정;

상기 트랜치 식각용 마스크 패턴이 노출되도록 상기 노출된 소자분리용 절연막을 일부 제거하는 제6 공정; 및

상기 트랜치 식각용 마스크 패턴을 제거하는 제 7공정을 구비하는 것을 특징으로 하는 반도체 소자의 트랜치소자 분리 방법.

청구항 2. 제1항에 있어서,

상기 제1 공정의 반도체 기판은 패드산화막(pad oxide)이 형성된 반도체 기판인 것을 특징으로 하는 반도체 소자의 트랜치소자 분리방법.

청구항 3. 제1항에 있어서,

상기 제1 공정의 마스크 패턴 위에 반사방지막을 형성하는 공정을 더 구비하는 것을 특징으로 하는 반도체 소자의 트렌치 소자 분리방법.

청구항 4. 제3항에 있어서,

상기 반사방지막은 실리콘옥시나이트라이드(SiON), 산화막 및 이들의 복합막중의 하나를 이용하여 150~1500 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 5. 제1항에 있어서,

상기 제3 공정의 파임방지막은 상기 라이너층과 식각선택비를 갖는 막질을 사용하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리 방법.

청구항 6. 제5항에 있어서,

상기 라이너층과 식각선택비를 갖는 막질은 화학기상증착으로 증착된 산화막을 사용하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리 방법.

청구항 7. 제5항에 있어서,

상기 라이너층과 식각선택비를 갖는 물질은 실리콘막을 증착하여 산화시킨 산화막을 사용하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리 방법.

청구항 8. 제1항에 있어서,

상기 제3 공정의 파임방지막은 질화막과 산화막이 적어도 1회 이상 교대로 구성된 복합 라이너층인 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 9. 제1항에 있어서,

상기 제4 공정의 라이너층은 질화막을 사용하여 20~300 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 10. 제1항에 있어서,

상기 제4 공정의 라이너층을 형성한 후에,

라이너층의 두께를 유지시키고 외부로부터의 손상(damage)을 억제하기 위한 고온산화막을 형성하는 공정을 더 진행하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 11. 제10항에 있어서,

상기 고온산화막을 형성하는 공정 후에 상기 고온산화막에 대한 플라즈마 처리 공정을 더 진행하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 12. 제1항에 있어서,

상기 제5 공정의 소자분리용 절연막을 증착한 후에 상기 소자분리용 절연막의 막질 특성을 강화시키기 위한 열처리 공정을 더 진행하는 것을 특징으로 하는 반도체 소자의 트랜치소자 분리방법.

청구항 13. 제1항에 있어서,

상기 마스크 패턴을 제거하는 방법은 인산(H_3PO_4)을 이용한 습식식각으로 제거하는 것을 특징으로 하는 반도체 소자의 트랜치소자 분리방법.

청구항 14. 제6항에 있어서,

상기 제2 공정의 트랜치를 형성한 후에 트랜치 내부에 열산화막을 형성하는 공정을 더 구비하는 것을 특징으로 하는 반도체 소자의 트랜치소자 분리방법.

청구항 15. 제6항에 있어서,

상기 화학기상증착으로 증착된 산화막은 두께가 10~300 Å의 범위인 것을 특징으로 하는 반도체 소자의 트랜치소자 분리방법.

청구항 16. 제7항에 있어서,

상기 실리콘막은 두께가 10~200 Å의 범위인 것을 특징으로 하는 반도체 소자의 트랜치소자 분리방법.

청구항 17. 제7항에 있어서,

상기 산화는 열산화(thermal oxidation)를 이용하는 것을 특징으로 하는 반도체 소자의 트랜치소자 분리방법.

청구항 18. 제8항에 있어서,

상기 제2 공정의 트랜치를 형성한 후에 트랜치 내부에 열산화에 의한 내부산화막을 형성하는 공정을 더 구비하는 것을 특징으로 하는 반도체 소자의 트랜치소자 분리방법.

청구항 19. 제8항에 있어서,

상기 복합 라이너층에서 첫 번째 질화막은 두께가 10~50 Å의 범위인 것을 특징으로 하는 반도체 소자의 트랜치소자 분리방법.

청구항 20. 반도체 기판에 트랜치 식각용 마스크 패턴(mask pattern)을 형성하는 제1 공정;

상기 트랜치 식각용 마스크 패턴을 이용하여 상기 반도체 기판에 트랜치(trench)를 형성하는 제2 공정;

상기 트랜치 내부에 열산화막을 형성하는 제3 공정;

상기 트랜치 식각용 마스크 패턴의 측벽에 적어도 박막이 형성되도록 상기 반도체 기판의 전면에 화학기상증착에 의한 파임방지용 산화막을 증착(deposition)하는 제4 공정;

상기 파임방지용 산화막 위에 라이너용 질화막을 증착하는 제5 공정;

상기 트랜치를 완전히 매립(filling)하면서 상기 반도체 기판의 표면을 덮는 소자분리용 절연막을 증착하는 제6 공정;

상기 트렌치 식각용 마스크 패턴이 노출되도록 상기 노출된 소자분리용 절연막을 일부 제거하는 제7 공정; 및

상기 트렌치 식각용 마스크 패턴을 제거하는 제8 공정을 구비하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리 방법.

청구항 21. 제20항에 있어서,

상기 제4 공정의 파임방지용 산화막은 두께가 10~300 Å의 범위가 되도록 형성하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리 방법.

청구항 22. 제20항에 있어서,

상기 제5 공정의 라이너용 질화막은 두께가 20~300 Å의 범위가 되도록 형성하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 23. 반도체 기판에 트렌치 식각용 마스크 패턴을 형성하는 제1 공정;

상기 마스크 패턴을 이용하여 반도체 기판에 트렌치를 형성하는 제2 공정;

상기 트렌치가 형성된 반도체 기판의 전면에 실리콘막을 증착(deposition)하는 제3 공정;

상기 실리콘막을 열산화(thermal oxidation)시켜 상기 트렌치 식각용 마스크 패턴 표면과 트렌치 내부에 파임방지용 산화막을 형성하는 제4 공정;

상기 파임방지용 산화막 위에 라이너용 질화막을 형성하는 제5 공정;

상기 트렌치를 매립하면서 반도체 기판의 전면을 덮는 소자분리용 절연막을 증착하는 제6 공정;

상기 트렌치 식각용 마스크 패턴이 노출되도록 상기 노출된 소자분리용 절연막의 일부를 제거하는 제7 공정; 및

상기 트렌치 식각용 마스크 패턴을 제거하는 제8 공정을 구비하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리 방법.

청구항 24. 제23항에 있어서,

상기 제3 공정의 실리콘막은 두께가 10~200 Å의 범위가 되도록 형성하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리 방법.

청구항 25. 제23항에 있어서,

상기 제4 공정의 열산화(thermal oxidation)는 증착된 실리콘이 잔류하지 않고 전부 산화막으로 변하도록 하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리 방법.

청구항 26. 제23항에 있어서,

상기 제5 공정의 라이너용 질화막은 두께가 20~300 Å의 범위가 되도록 형성하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 27. 반도체 기판에 트렌치 식각용 마스크 패턴을 형성하는 제1 공정;

상기 트렌치 식각용 마스크 패턴을 이용하여 상기 반도체 기판에 트렌치를 형성하는 제2 공정;

상기 결과물에 열산화를 이용하여 트렌치 내부산화막을 형성하는 제3 공정;

상기 트렌치 내부산화막이 형성된 반도체 기판에 표면 단차를 따라서 라이너용 질화막과 파임방지용 산화막이 적어도 1회 이상 교대하는 구조의 복합라이너층을 형성하는 제4 공정;

상기 복합라이너층이 형성된 반도체 기판 전면에 표면 단차를 따라 라이너용 최종질화막을 형성하는 제5 공정;

상기 라이너용 최종질화막 위에 상기 트렌치를 매립하면서 반도체 기판의 전면을 덮는 소자분리용 절연막을 형성하는 제6 공정;

상기 트렌치 식각용 마스크 패턴이 노출되도록 상기 소자분리용 절연막을 일부 제거하는 제7 공정; 및

상기 트렌치 식각용 마스크 패턴을 제거하는 제8 공정을 구비하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 28. 제27항에 있어서,

상기 제4 공정의 복합 라이너층에서 첫번째로 형성되는 질화막은 10~50Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 29. 제27항에 있어서,

상기 제5 공?후에 복합 라이너층의 질화막 두께를 유지시키고 외부로부터의 손상(damage)을 억제하기 위한 고온산화막을 형성하는 공정을 더 진행하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 30. 반도체 기판에 트렌치 식각용 마스크 패턴을 형성하는 제1 공정;

상기 마스크 패턴을 이용하여 상기 반도체 기판에 트렌치를 형성하는 제2 공정;

상기 트렌치 내부산화막이 형성된 반도체 기판에 표면 단차를 따라서 파임방지용 산화막과 라이너용 질화막이 적어도 1회 이상 교대하는 구조의 복합 라이너층을 형성하는 제3 공정;

상기 복합 라이너층 위에 상기 트렌치를 매립하면서 반도체 기판의 전면을 덮는 소자분리용 절연막을 형성하는 제4 공정;

상기 마스크 패턴이 노출되도록 상기 소자분리용 절연막 일부를 제거하는 제5 공정; 및

상기 마스크 패턴을 제거하는 제6 공정을 구비하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 31. 제30항에 있어서,

상기 제4 공정의 복합 라이너층에서 첫번째로 형성되는 질화막은 10~50Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 32. 제30항에 있어서,

상기 제4 공정 후에 복합 라이너층의 질화막 두께를 유지시키고 외부로부터의 손상(damage)을 억제하기 위한 고온산화막을 형성하는 공정을 더 진행하는 것을 특징으로 하는 반도체 소자의 트렌치소자 분리방법.

청구항 33. 반도체 기판;

상기 반도체 기판에 트렌치를 형성하고 반도체 기판의 표면단차를 따라 증착된 적어도 하나 이상씩의 산화막과 질화막을 포함하는 파임방지용 복합 라이너층;

상기 복합 라이너층을 덮으면서 트렌치 내부를 채우는 트렌치 소자분리용 절연막을 구비하는 것을 특징으로 하는 반도체 소자.

청구항 34. 제33항에 있어서,

상기 반도체 소자는 상기 복합 라이너층과 상기 소자분리용 절연막 사이에 상기 복합 라이너층의 질화막 손상방지 및 두께 보존을 위한 산화막을 더 구비하는 것을 특징으로 하는 반도체 소자.

청구항 35. 제34항에 있어서,

상기 산화막은 고온산화막(HTO)인 것을 특징으로 하는 반도체 소자.

청구항 36. 제33항에 있어서,

상기 반도체 소자는 상기 트렌치 내벽에 형성된 트렌치 내부산화막을 더 구비하는 것을 특징으로 하는 반도체 소자.

청구항 37. 제33항에 있어서,

상기 복합 라이너층은 제1 질화막과 제1 산화막과 제2 질화막이 순차적으로 적층된 복합막인 것을 특징으로 하는 반도체 소자.

청구항 38. 제37항에 있어서,

상기 제1 질화막은 두께가 10~50 Å의 범위인 것을 특징으로 하는 반도체 소자.

청구항 39. 제37항에 있어서,

상기 복합 라이너층은 상기 제2 질화막 위에 적어도 하나 이상의 또 다른 산화막과 질화막을 더 구비하는 것을 특징으로 하는 반도체 소자.

청구항 40. 제33항에 있어서,

상기 복합 라이너층은 제1 산화막과 제1 질화막이 순차적으로 적층된 복합막인 것을 특징으로 하는 반도체 소자.

청구항 41. 제40항에 있어서,

상기 복합 라이너층은 상기 제1 질화막 위에 적어도 하나 이상의 또 다른 산화막과 질화막 더 형성되어 있는 복합막인 것을 특징으로 하는 반도체 소자.

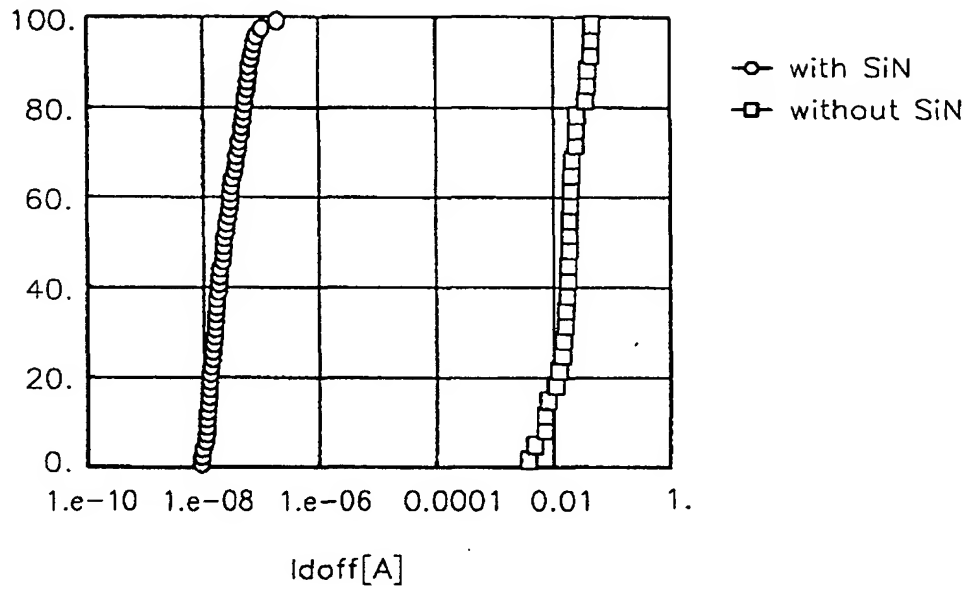
청구항 42. 제40항에 있어서,

상기 라이너용 제1 절화막은 두께가 10~50 Å의 범위인 것을 특징으로 하는 반도체 소자.

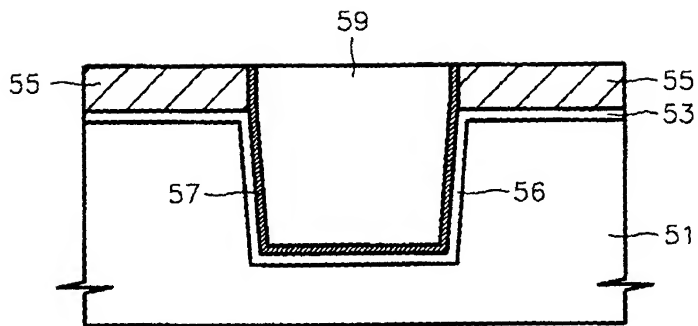
도면

도면1

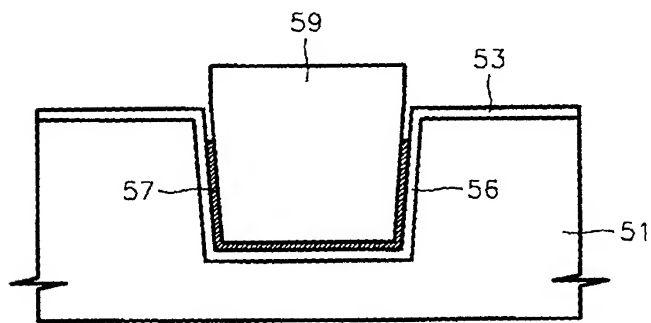
Distribution[%]



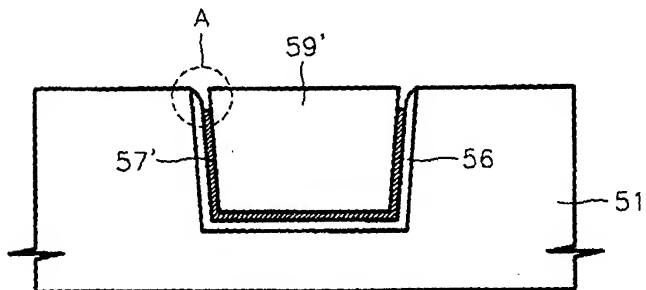
도면2



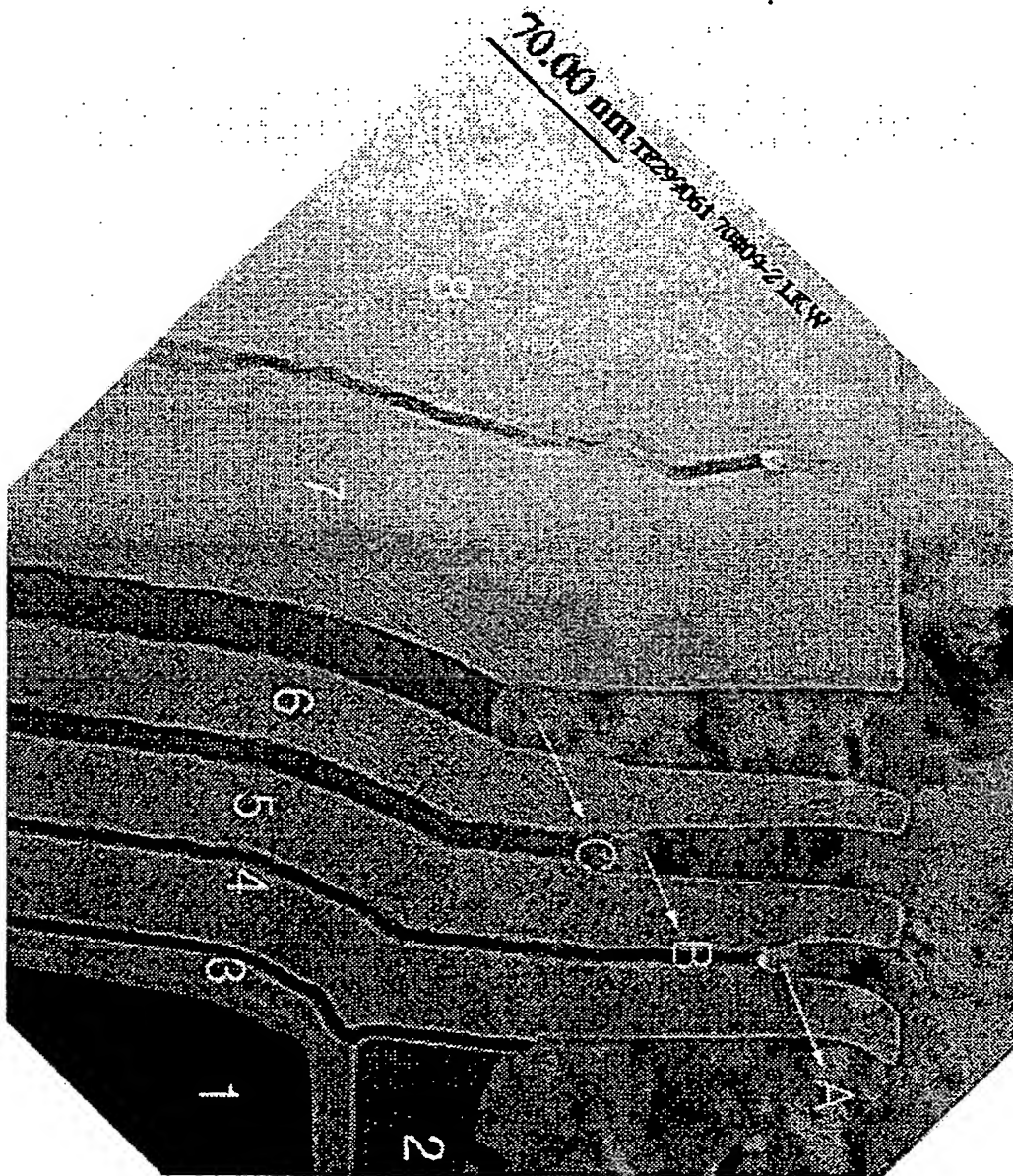
도면3



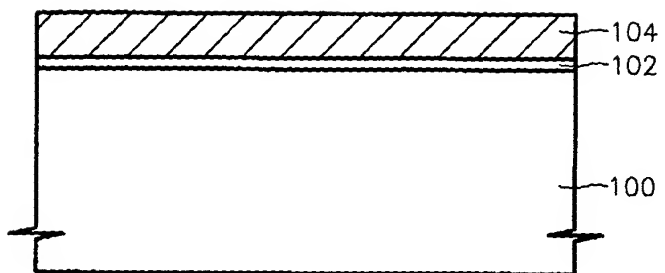
도면4



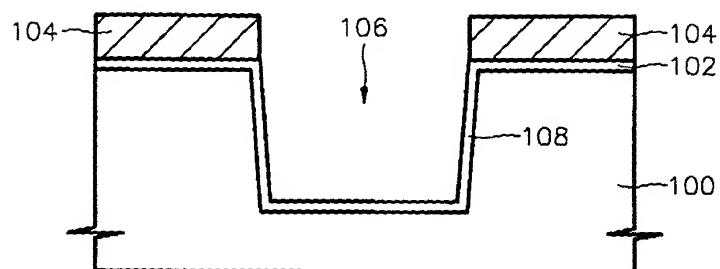
도면5



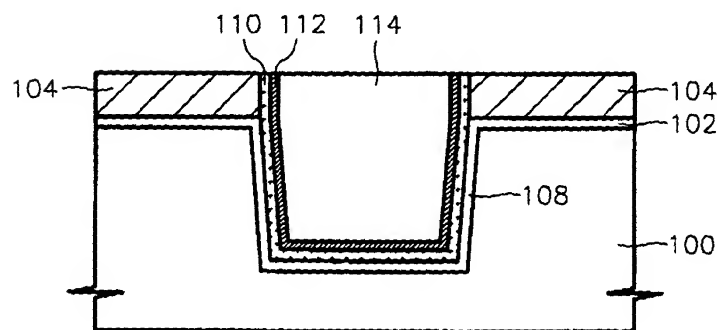
도면 6



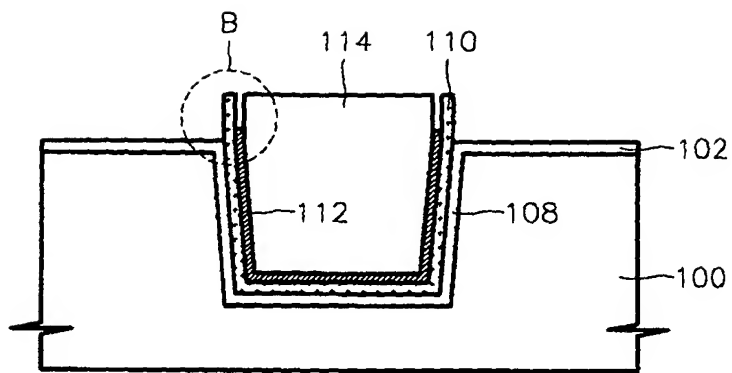
도면7



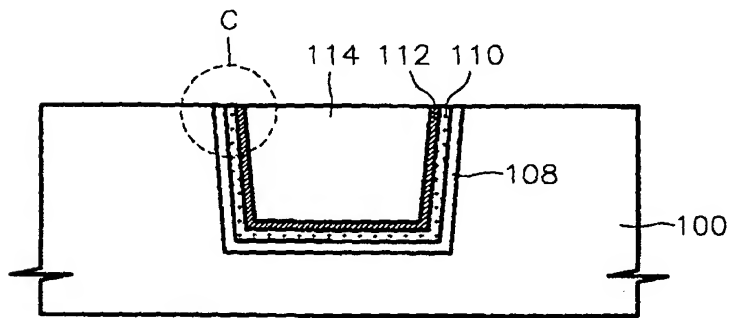
도면8



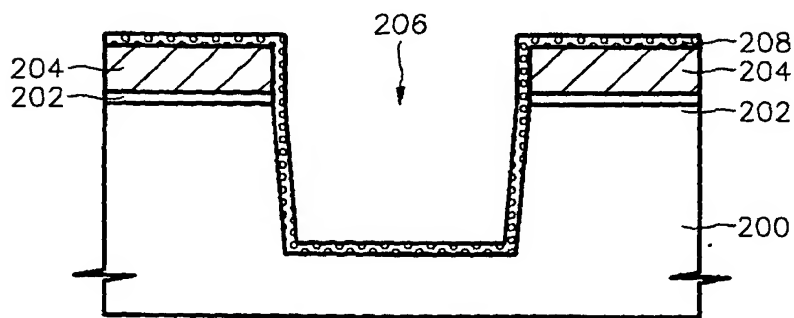
도면9



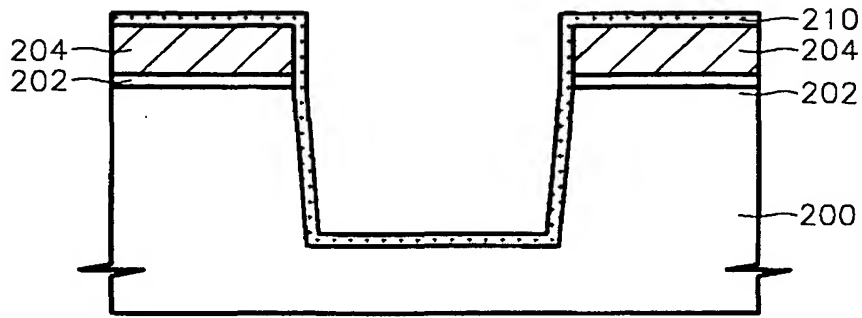
도면10



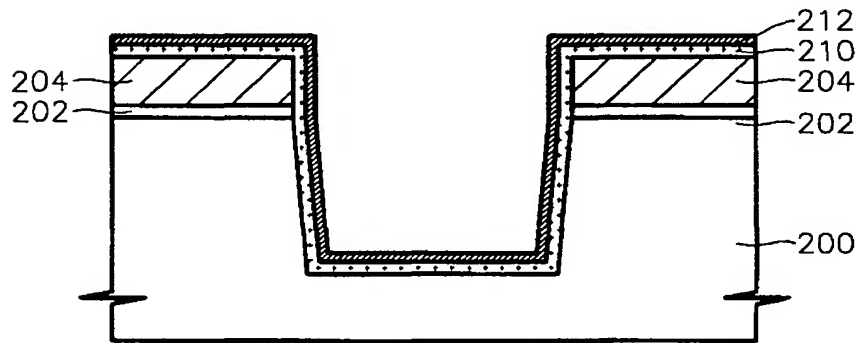
도면11



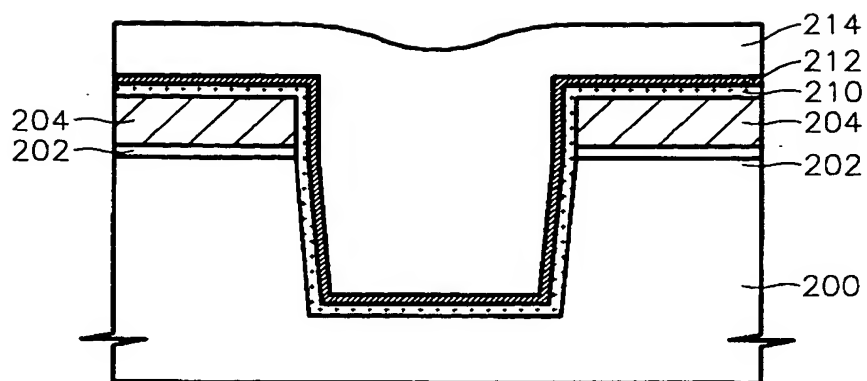
도면 12



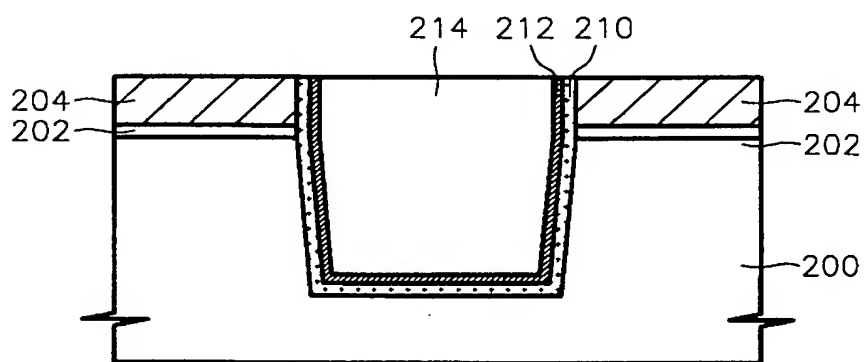
도면 13



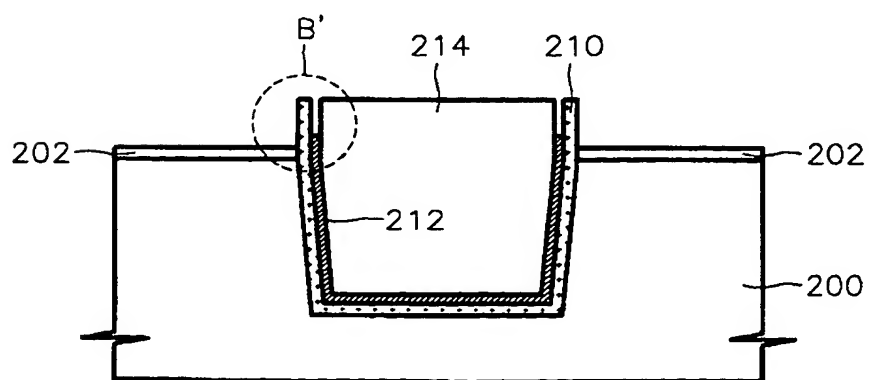
도면 14



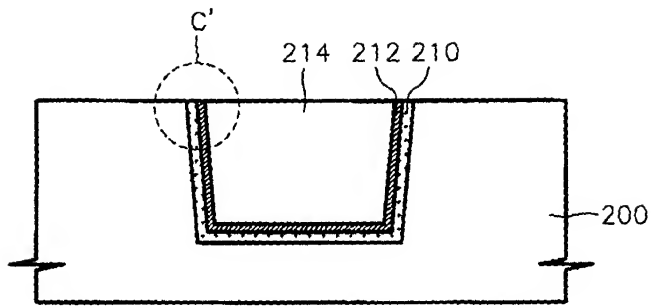
도면 15



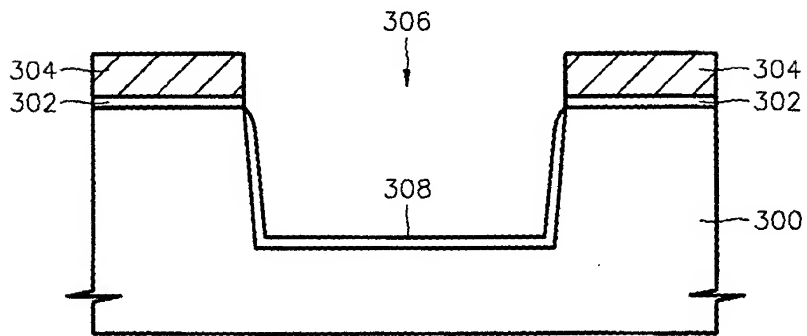
도면 16



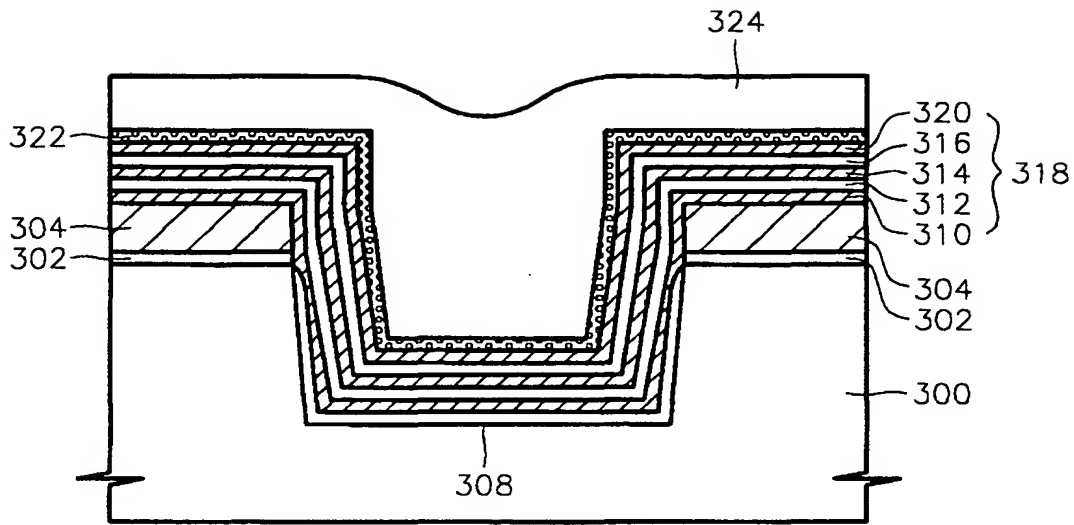
도면 17



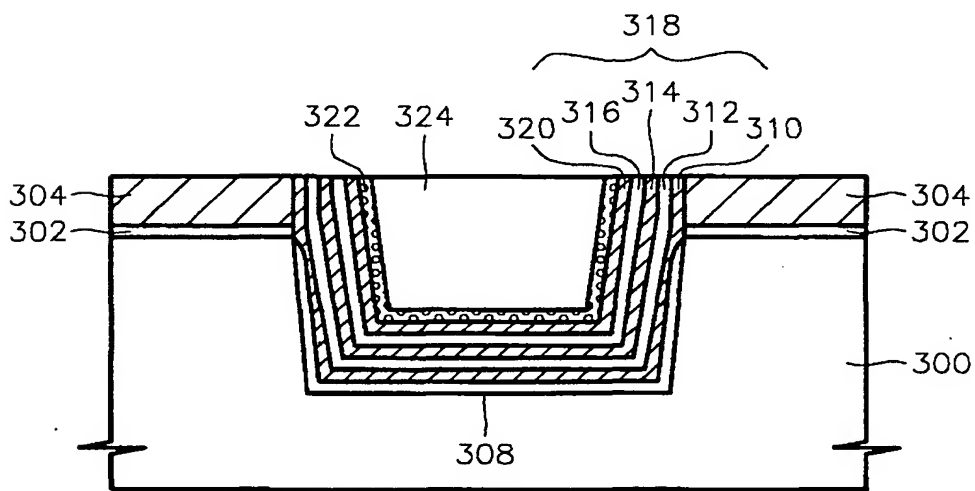
도면 18



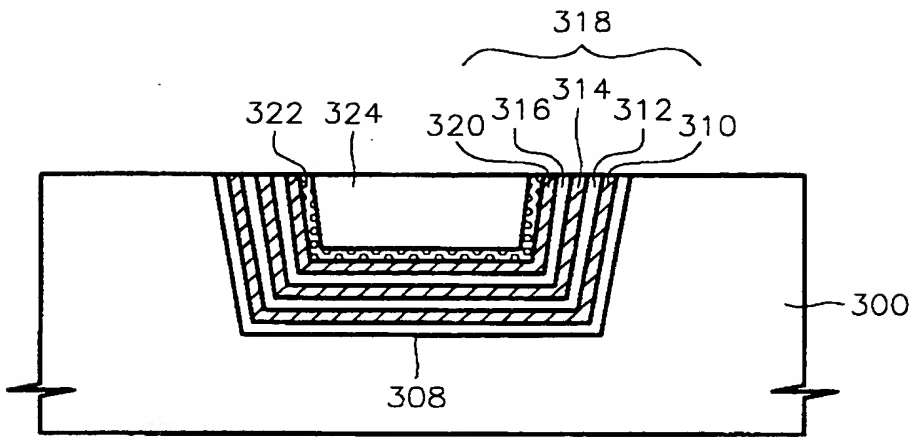
도면 19



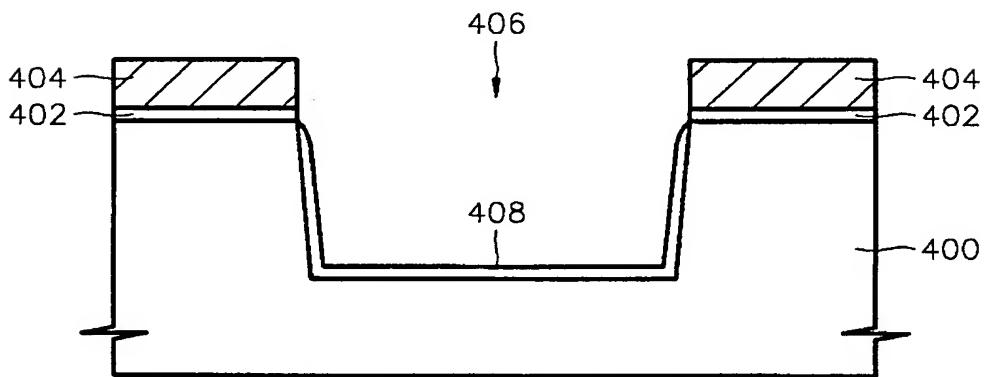
도면20



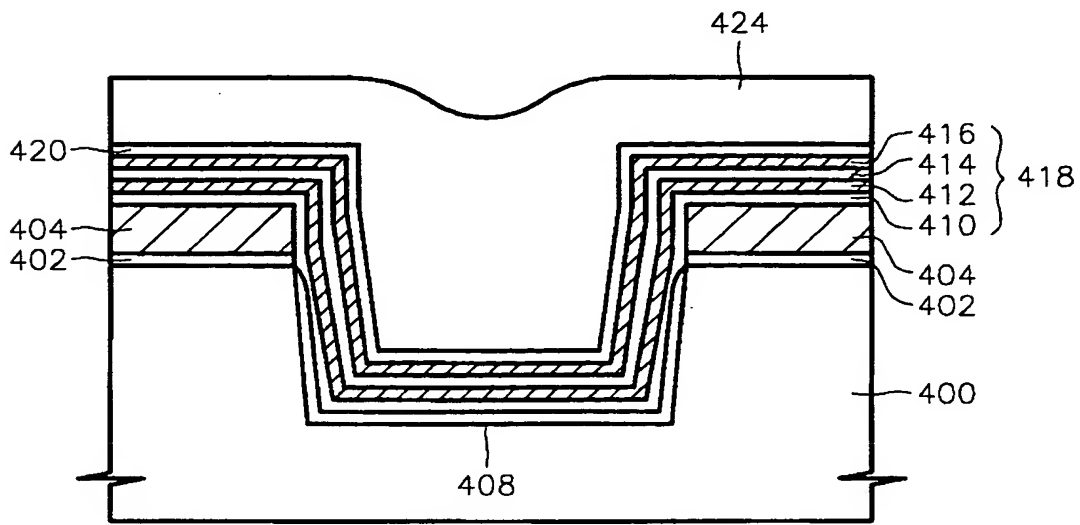
도면21



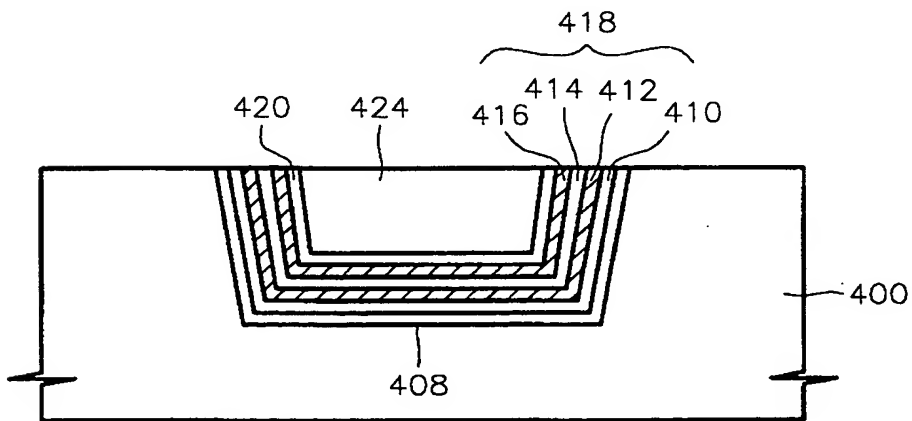
도면22



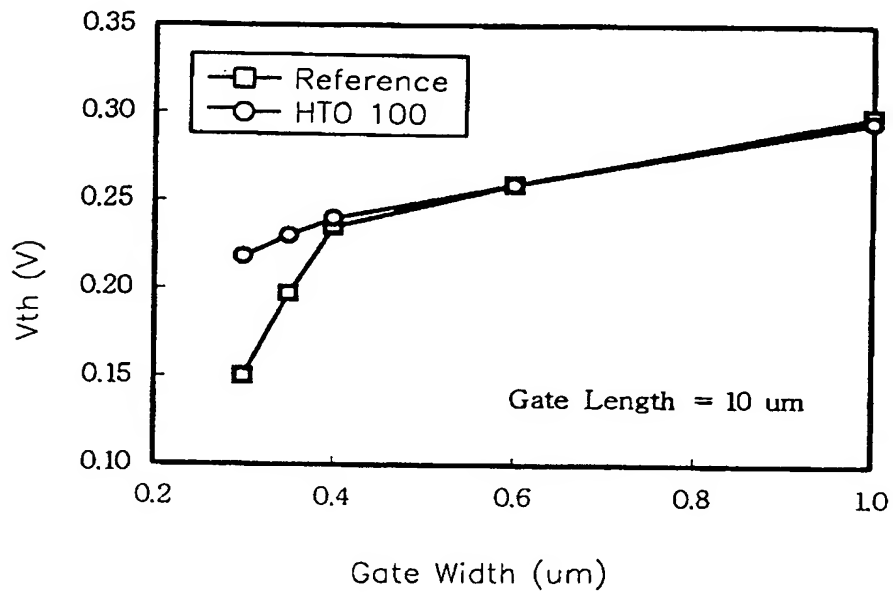
도면23



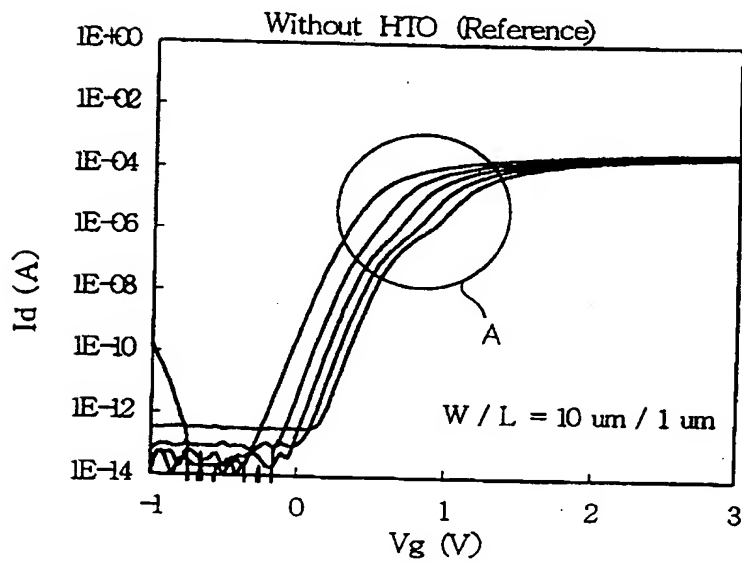
도면24



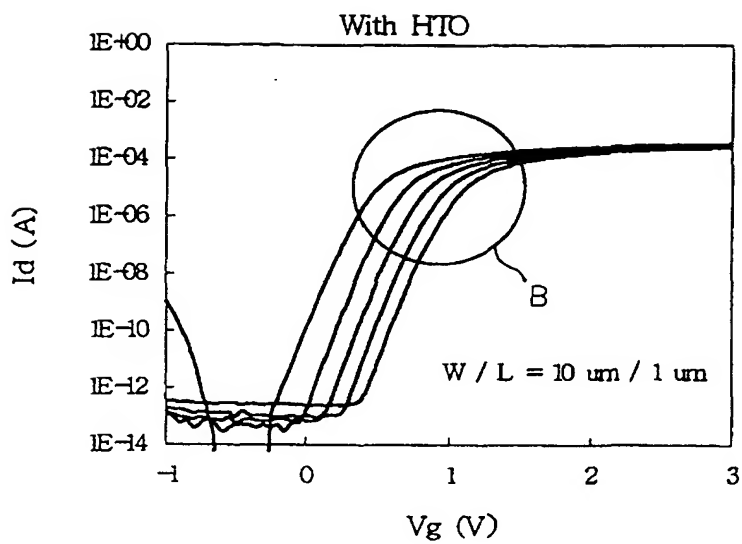
도면25



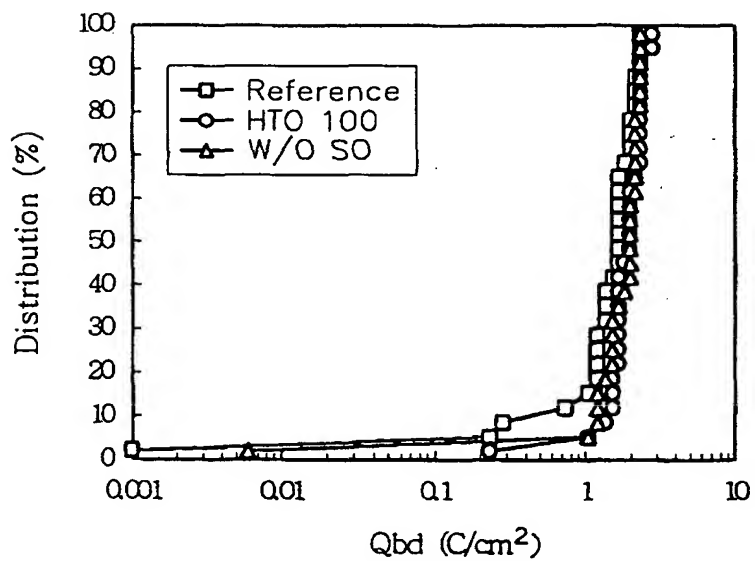
도면26



도면27



도면28



도면29

